实验一　MAX+plusII 软件的使用

一.实验目的

1.学习 MAX+plusII 软件的使用方法。

2.掌握 MAX+plusII 软件的常用操作。

3.了解开发应用程序的全过程。

二.实验内容

1. MAX+plusII 软件的操作练习。

2.利用绘图法实现基本逻辑功能的操作练习。

三.实验步骤

1.制作数字电路的流程

在 ALTERA MAX+plusII Baseline 环境下，制作电路的流程如下：

(1)使用绘图法或 VHDL 语言描述法，在 Graphical Editor 或 Text Editor 中编辑电路(电路图或程序)。

(2)编辑完成后,在 Assign>Device 选项上,设定 CPLD 芯片的型号。

(3)在 Assign>Global Project Device Option 选项上,设定 Configuration Scheme 传输模式。

(4)在 Assign>Global Project Logic Synthesis 选项上,做 Style 设定。

(5)选 File>Save as 存盘。

(6)选 File>Project>Save&Check 作电路的存盘及检查,并定义各输入、输出端的名称。

(7)在 MAX+ plusII>Waveform Editor 中拟定电路各输入波形。

(8)选 File>Project>Save&Simulate 存盘及仿真。

(9)在 MAX+ plus II>Floorplan Editor 中设定 CPLD 的 IC 管脚。

(10)选 File>Project>Save&Compile 存盘及编译。

(11)执行 Dnld3 或 Dnld10 程序,将结构资料下载到下载板中。

(12)在实验系统中予以仿真或烧录保存在 SEEPROM 内，便于开机自动执行。

2.绘图输入法实现基本逻辑的设计

(一)输入设计

(1)执行 MAX+plus II，出现如图 1-1 所示的画面。

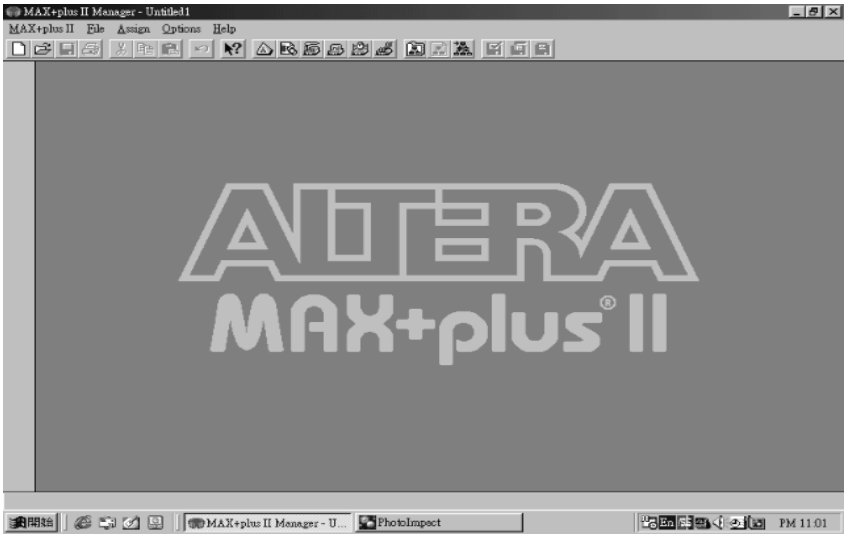


图 1-1 进入 ALTERA 的 MAX+ Plus II 画面

(2)在 File>Project 中选 Name 出现一对话窗口如图 1-2 所示，将 Directories 选为 max2work，输入 Project Name 为 cpldex\primit。

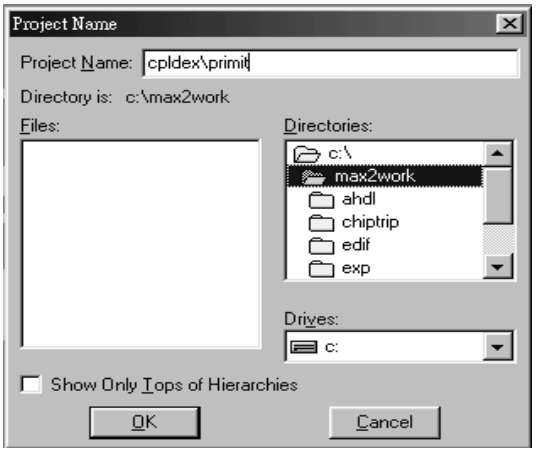


图 1-2 设定新绘图文档的选择设定画面

(3)按下 OK 后，出现询问是否建立子目录 cpldex，再按下「是」。

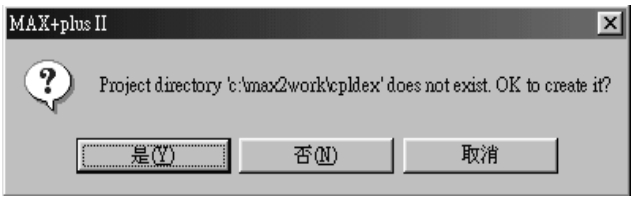


图 1-3 询问是否建立子目录 cpldex

(4)在 File 中选 New，对话框出现后(如图 1-4 所示)，选择第一项 Graphic Editor file，再按下 OK。

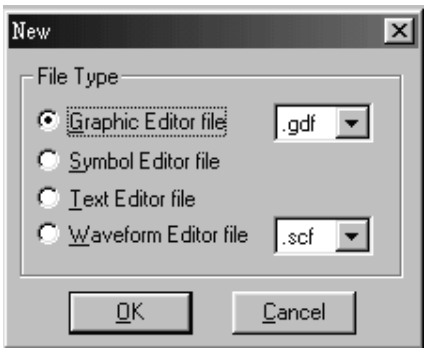


图 1-4 选择第一项 Graphic Editor file

(5)出现一标题为「Untitled-Graphic Editor」的窗口，在此窗口中用鼠标快速点一下，则出现一黑点,如图 1-5 所示。



图 1-5 出现一标题为「Untitled-Graphic Editor」的窗口

(6)在 Symbol 中选 Enter Symbol，则出现 「Enter Symbol」对话窗口，先在「Symbol Libraries」中选择第二项，再按鼠标左

键两下，如图 1-6 所示。

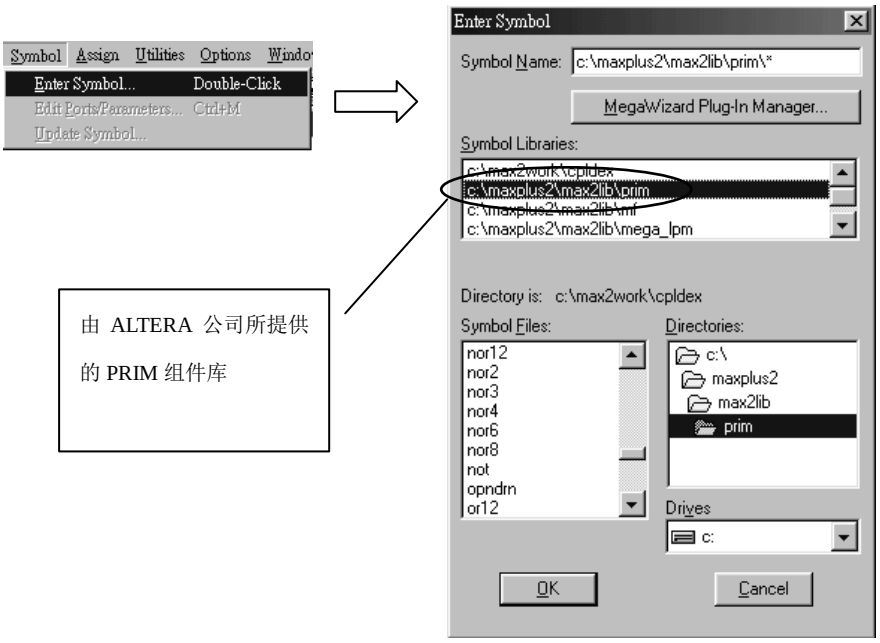


图 1-6 「Enter Symbol」对话框

(7)再在「Symbol Files」中选“not”，之后在图 1-5 黑点处出现一 NOT 门，如图 1-7 所示。

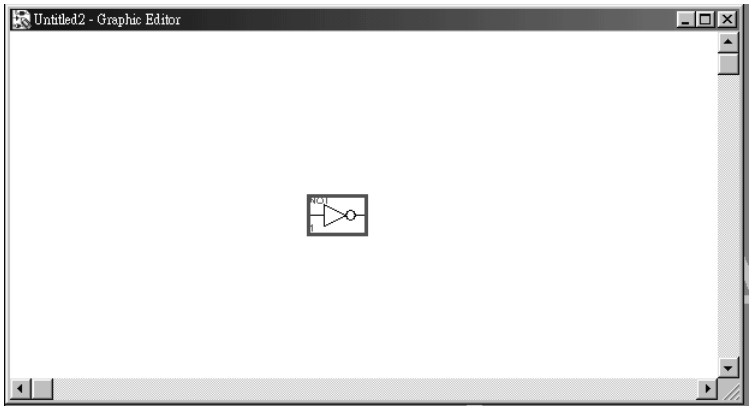


图 1-7 输入完成一个 NOT 门

(8)仿照步骤 5，在此 NOT 门左侧点一黑点，同样在「Enter Symbol」对话窗口中选一“input”组件，接着按下『画直角线工具』(Window 左侧工具列的第三个)，再以鼠标连接 NOT 门和 input 组件，此时画面如图 1-8 所示。

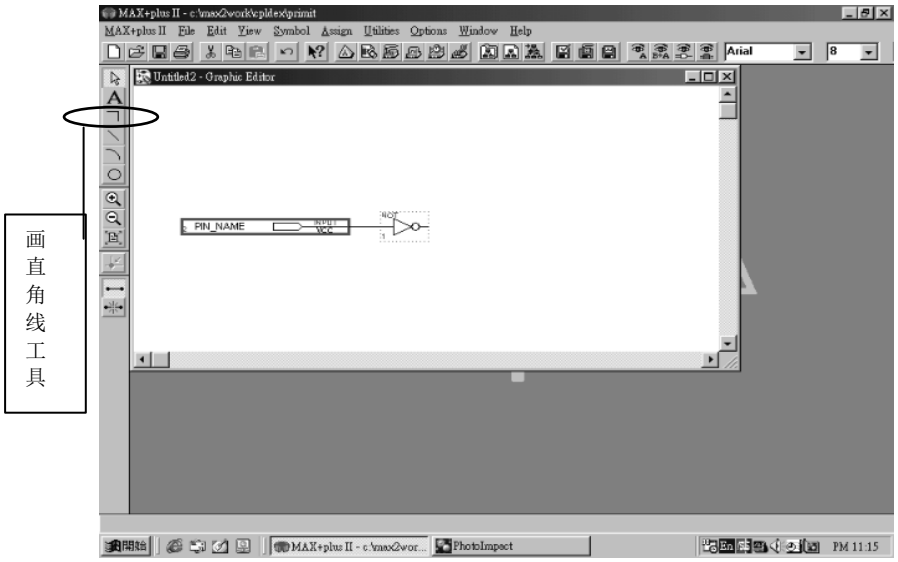


图 1-8 再输入一个 input 组件，并连线完成

(9)在 NOT 门右侧加入一“output”组件，将其连接至 NOT 门的输出端，如图 1-9 所示。

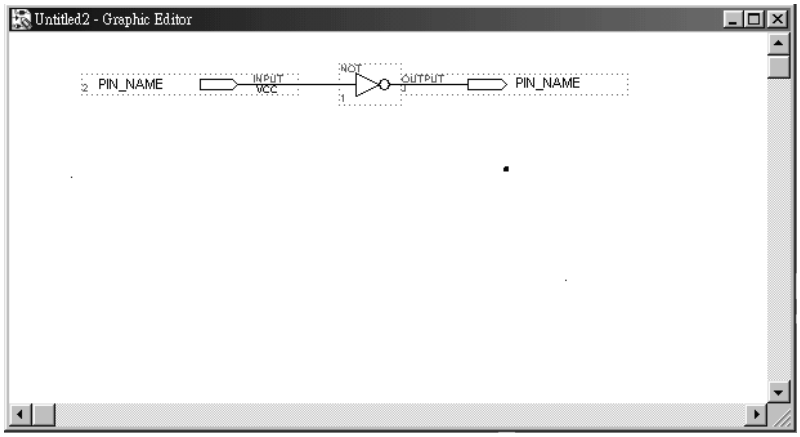


图 1-9 再输入一个 output 组件，并连线完成

(10)在 input 及 output 组件的「PIN_NAME」上鼠标左键按两下，分别键入「NOT_IN」「NOT_OUT」名称，如图 1-10。

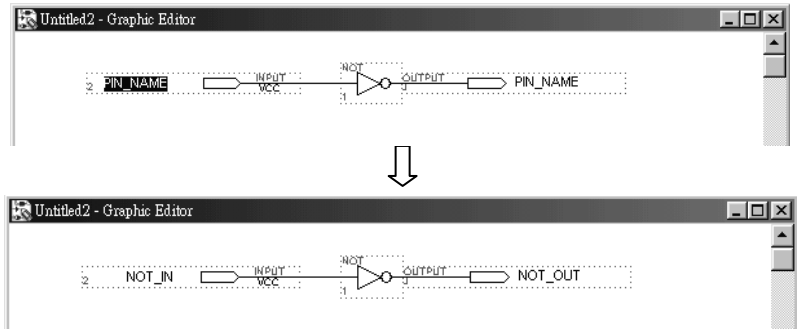


图 1-10 设定输入、输出管脚名称

(11)按上述方法完成图 1-11 的电路图，对于图上已出现的组件，如 input 及 output，可以使用「选取—复制—粘贴」的方式输入。至此已完成输入设计部分。

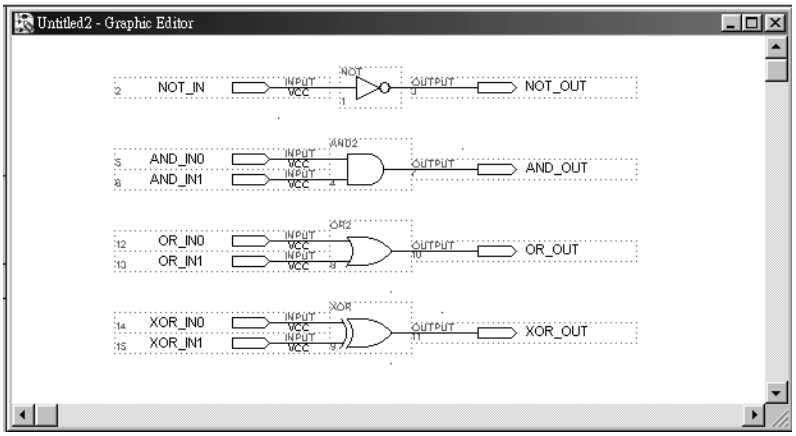


图 1-11 基本逻辑门的绘图文件

(12)选 File>Save as 将文档储存为 primit.gdf，如图 1-12。

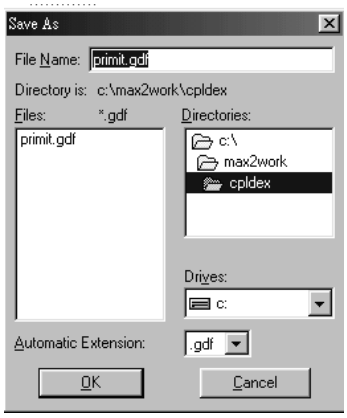


图 1-12 储存文档

(二)CPLD 芯片设定及电路编译

(1)首先必须设定所使用的 CPLD 的型号，选 Assign>Device 出现如图 1-13 所示之画面。在此先取消「Show Only Fastest Speed Grades」的设定，接着在「Devices」中选 EPF8282ALC84-4，再按下 OK。

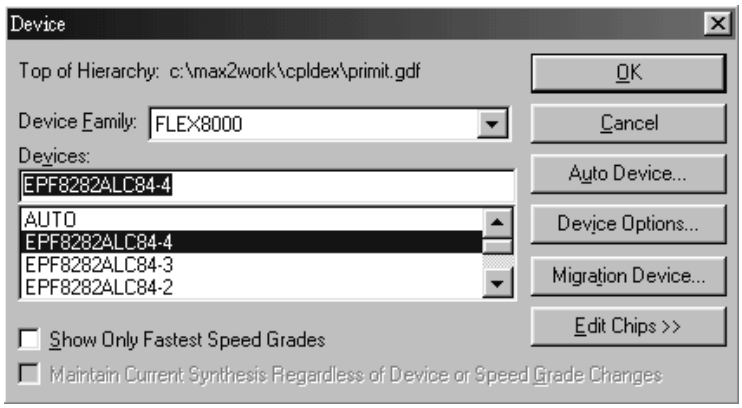


图 1-13 设定芯片型号

(2)选 Assign>Global Project Device Options，出现如图 1-14 之画面，在此可设定电路结构资料加载其 SRAM 的模式，及其它各特殊管脚的保留而不被设定为一般 I/O 管脚用。在此则设定为被动串行式加载资料及不保留任何特殊管脚端，故所有的选择设定都取消。在「Configuration Scheme」选 Passive Serial，接着在「Reserve」及「Tri-State」的选择设定也全部取消，再按下 OK。

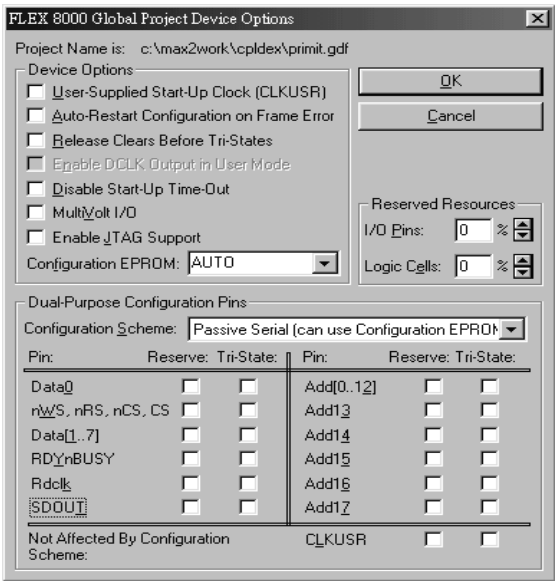


图 1-14 设定芯片的资料加载模式及管脚的是否保留

(3)并在 Assing>Global Logic Synthesis 项上将其 Style 选择为 FAST 模式如图 1-15 所示，即整个 CPLD 的编译器要求仿真组合电路功能的设定，全区域的连线要求则先选择为最快速 "FAST" 的设定，而左下方的装置合成选项设定先只予选择开泄极项，而右下方的自动全区域的专用连线讯号则可保留全选，如图 1-15 所示。

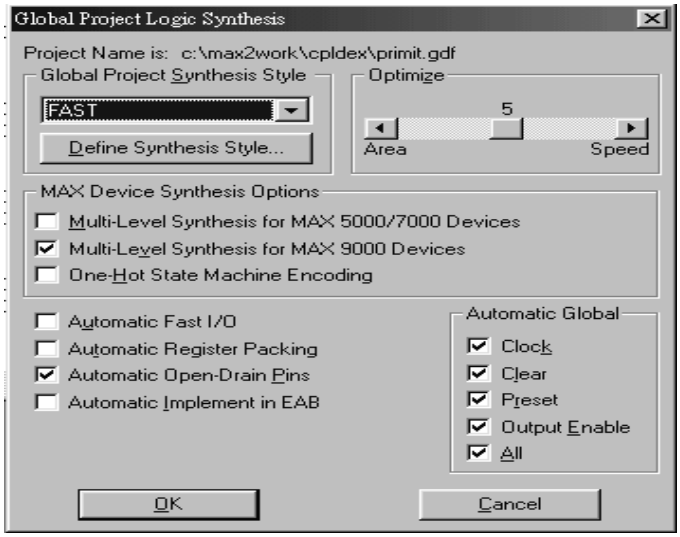


图 1-15　CPLD 连线设定的选项画面

(4)选 File>Project>Save&Check，如图 1-16 所示。存盘并对绘图结构进行检测。

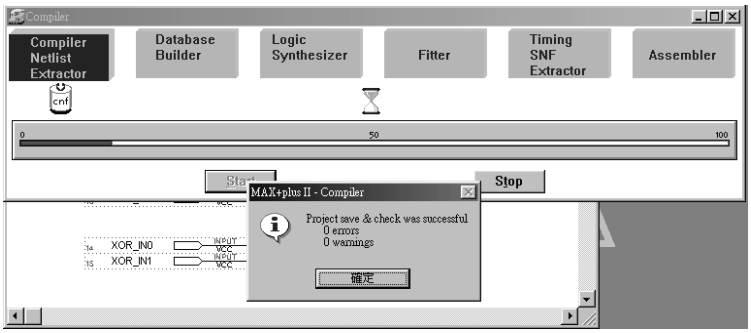


图 1-16 Save&Check 画面

若有错误出现，则可能线路图有错，重新检查修改，再执行 Save&Check。执行 Save&Check 的另一目的是让编译器得到线路中输入、输出 Pin 的名称资料，以便进行 Pin 的指定；必须指定输入、输出 Pin 的位置，使其与实验板上输入、输出组件一致。

(5)选 MAX+plusII>Floorplan Editor，再选 Layout>Device View(非 Lab View 及非 Full Screen)，会出现如图 1-17 所示的画

面。在 Unassigned Nodes&Pins 中逐一地将符号分别为「I」及「O」的输入、输出 Pin，拖拉并放置于如图 1-17 的对应位置。(注意！若没有出现 Node 及 Pin 管脚名称，则在左侧画笔标示图上点按一下就会出现)。

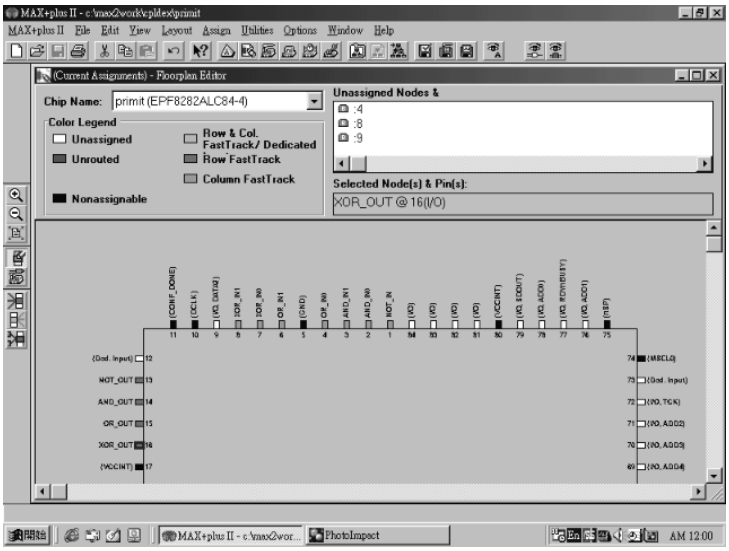


图 1-17　CPLD 电路各输入、输出管脚的设定配置

(6)选 File>Project>Save&Compile，出现图 1-18 的告知信息，即表示 Save&Compile 完成。

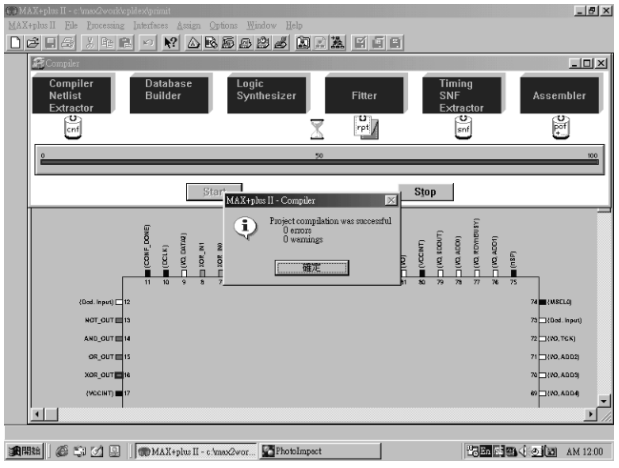


图 1-18 Save&Compile

(7)完成 Save&Compile 后，会在电路图上的相对应 Pin 上标示出 CPLD 的管脚，如图 1-19 所示。

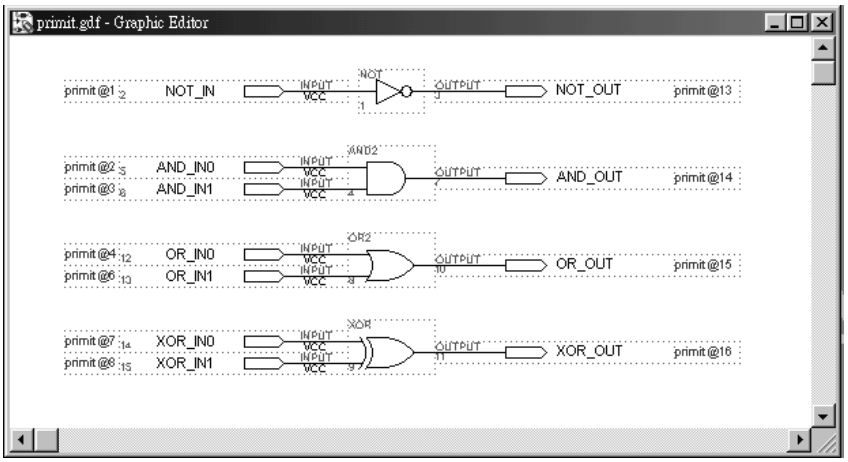


图 1-19　CPLD 的管脚已标示在电路图上

实验二　实验系统的使用

一. 实验目的

1.学习实验系统的使用方法，了解各部件的功能。

2.掌握下载程序的操作方法。

3.掌握程序下载、调试的全过程。

二. 实验内容

1.测试实验系统的功能是否正常。

2.学习下载程序的使用方法。

3.学习利用实验系统对下载的电路进行测试的方法。

三. 实验步骤

本实验开发系统有两个下载程序：DNLD3.EXE 及 DNLD10.EXE，DNLD3 为 8K 系列的 CPLD 芯片使用，对于 10K10 系列的芯片则改用 DNLD10。

1.选用 SN-PLDE2 下载板进行实验系统的测试

(1)激活 dnld3 程序，其激活画面如图 2-1 所示。

(2)由画面可知：目前已烧录在 SEEPROM 中的文档有 SCANKDP4(键盘扫描)、6DEC7SN(六位计数器)、及 FRQCNT3(频率计)。

(3)执行 6DEC7SN 可以检查系统的六位七段数码显示器、两组 RC 振荡器及 DIP SWITCH 逻辑开关是否正常；而执行 SCANKDP4 可检查 4×4 矩阵键盘是否正常；执行 FRQCNT3 则可检查 20MHz 振荡电路、RC 振荡器及 DIP SWITCH 是否正常。

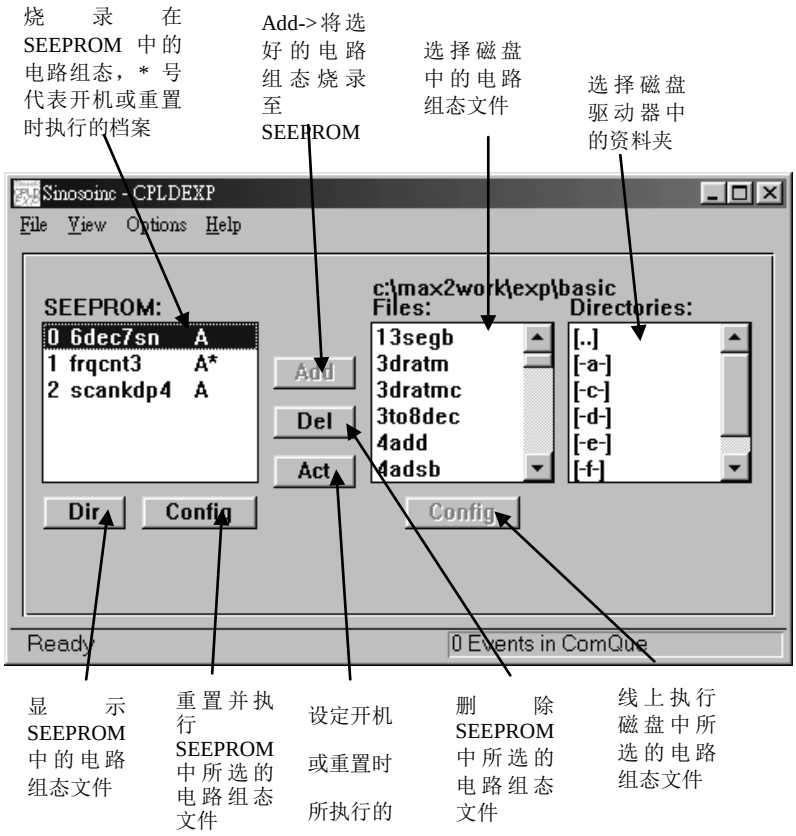


图 2-1　dnld3 程序的激活画面

(4)实验系统的功能是否正常的测试步骤如下：(参照附录二)

A.六位计数器的计数/显示功能测试

(a) 输入设定为：

S1-1(P01)=CLEAR(复位)，S1-2(P02)=ENABLE(使能)，HFQ 及 LFQ 为频率输入 I31、I73 接上单排短路夹。因为是用六个七段显示器来扫描显示计数值，所以必须把 JP8、JP8A、JP9A、JP10A、JP11A、JP12A、JP13A 都接上 8 连排短路夹，SC1~SC6 则利用短路夹分别接于 P76、P77、P78、P79、P08、P09 等位置。

(b) 点选 SEEPROM 中的 6DEC7SN，再点选 SEEPROM 窗口下的 CONFIG 按钮。此时只要设定 S1-1=0、S1-1=1，就可看到六个七段数码显示器开始显示计数值，调整 LFQADJ 及 HFQADJ 的可调电阻，则可改变计数的速度。

B. 4×4 矩阵键盘的功能测试

(a) 执行 SCANKDP4 需将 JP8、JP8A、JP9A、JP10A、JP11A、SCN1、SCN2、SCN3 都接上 8 连排短路夹，SC1~SC4 则利用单排短路夹分别接于 P76、P77、P78、P79 等位置，频率输入

I31 接上单排短路夹。

(b) 点选 SEEPROM 中的 SCANKDP4，再点选 SEEPROM 窗口下的 CONFIG 按钮,即可执行此电路的功能测试。调整 HFQ ADJ 会改变扫描键盘的速度，如果扫描频率过低,会使显示的数字闪烁。

(c) 电路执行后，只要按下键盘上任何一个键，就会在 DP1~DP4 显示出按键对应的值(0~9，A~F)，并且在 D20~D17 显示二进制的按键值(0000~1111)。

C. 扫描显示频率计的功能测试

(a)输入设定如表 2-1 所示。

表 2-1 扫描显示频率计的输入设定

<table>
<tr><th>代号</th><th>S1 开关位置</th><th>功 能 描 述</th></tr>
<tr><td>Fcalt</td><td>S1-4(P04)</td><td>输入位置选择(INT/EXT)
“1”->测量 RCOSC1 输出 I31 的频率，此时 JP15 右侧要接上短路夹，左侧则利用短路夹的有无改变频率范围。调整 HFQ ADJ 可调整输出频率。
“0”->测量 OSC1 输出 I12 的频率，此频率值固定为 20MHz。</td></tr>
<tr><td>Frqs2</td><td>S1-3(P03)</td><td>测量时基选择
“1”-> 0.1 秒，所测量的频率需再乘以 10
“0”-> 1 秒</td></tr>
<tr><td>Frqs1</td><td>S1-2(P02)</td><td rowspan="2">输入测量频率预除选择
<table><tr><th>Frqs1</th><th>Frqs0</th><th>预除</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>10</td></tr><tr><td>1</td><td>0</td><td>100</td></tr><tr><td>1</td><td>1</td><td>1000</td></tr></table></td></tr>
<tr><td>Frqs0</td><td>S1-1(P01)</td></tr>
</table>

(b) 当 D20(P58)LED 灯点亮时代表溢位(OVERFLOW)。

(c) 执行 FRQCNT3，需将 JP8、JP8A、JP9A、JP10A、JP11A 都接上 8 连排短路夹，SC1~SC4 则利用短路夹分别接于 P76、P77、P78、P79 等位置。

(d) 点选 SEEPROM 中的 FRQCNT3，再点选 SEEPROM 窗口

下的 CONFIG 按钮，即可执行此电路的功能测试。

2. 电路结构资料的下载及逻辑功能的测试

(1)将已设计的基本逻辑电路 primit 的输入依次设定为 P01、P02、P03、P04、P06、P07、P08 的 SW1 DIP 开关输入，而输出则依次由 P13、P14、P15、P16 管脚接到七段显示器 DP1, 对应于 A、B、C、D 显示观察。注意！必需将 DP1 的共阴极接地，故将 SC1 短路夹接地。

(2)执行 DNLD3 程序后将会出现图 2-3 的画面。

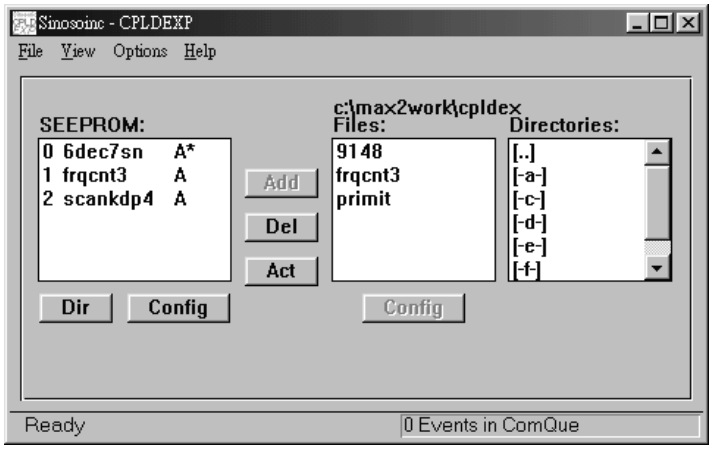


图 2-3 DNLD3 下载程序的执行画面

由 DNLD3 窗口功能画面，可看到本系统含目录显示、文档寻找及串口的设定、控制与传输系统的重设，首先应正确选择与 PC 联机的串口为 COM1 或 COM2 或其它端口，在 OPTION 功能选项中选择设定如图 2-4 所示画面。

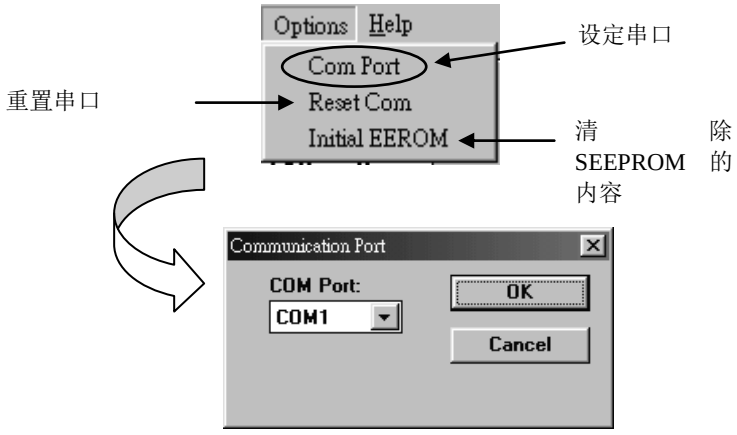


图 2-4　DNLD3 下载程序的 COM Port 设定

选择设定好 COM1 或 COM2 后，可由 Dir 命令中读取 SEEPROM 内含的文件名称目录，也可以用光标选择 SEEPROM 内含的文档予以加载仿真执行。

(3)选择已经编译完成的 primit 文档,并选按 Add 按钮后，屏幕将出现如图 2-5 所示的画面。

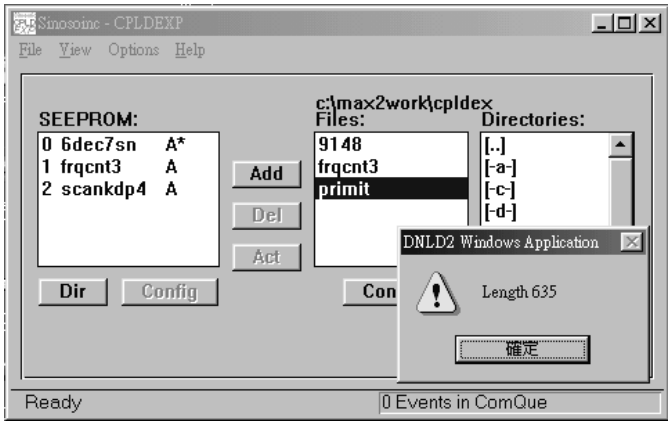


图 2-5 将 primit 烧录到 SEEPROM 中

本系统含有电路实时加载控制系统功能(ISP)，即当仿真后可直接烧录(Add)在 SEEPROM 内，或予以清除(Del)。

对于已烧录好而存在于 SEEPROM 内的电路组态结构，若想在开机时能自动选择执行，可先选择 SEEPROM 内的档案，再于「Act」按钮按一下后即可，此时档案会多一个「*」。开机时将 CPLD 主机板上的 J6(EXE MODE)插上，就会在电源 ON 时自动选择标示「*」的电路文档执行，若要更改则可持 J6 短路夹 OFF/ON 一次，即可作循环选择。

当加载正确且完成后，将出现图 2-6 响应告知，否则会出现其它不正确响应画面，此时应作主机上的重置(RESET)及此系统的 OPTION 选项中的 RESET 重置传输系统。

注意！开机时应先将实验系统电源 ON 并正确地接上 RS-232 传输线后，再激活 DNLD3 程序。通过串行传输，PC 会主动将 CPLD 实验系统的 SEEPROM 内的结构资料予以文件名称读回显示。

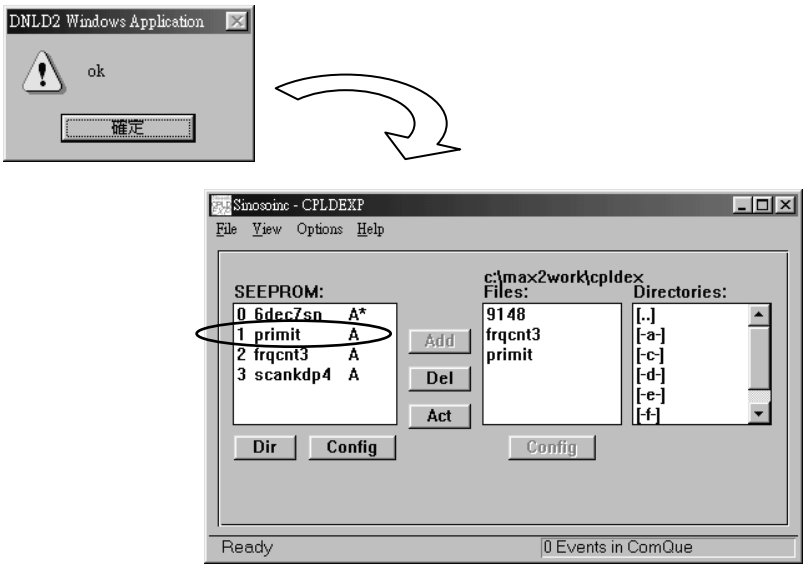


图 2-6 加载正确且完成烧录的画面

(4)当正确加载完成后将出现上列图 2-6 画面，此时基本逻辑电路实验的 NOT_IN 输入接于 P01 的 DIP 开关及 LED 显示，对应输出 NOT_OUT 则接到 P13 的七段 LED 显示器 DP1 的 A 段阳极端；AND_IN0 及 AND_IN1 则接于 P02、P03 的开关及 LED 显示，对应输出 AND_OUT 则接到 P14 的七段 LED 显示器 DP1 的 B 段阳极端；OR_IN0 及 OR_IN1 则接于 P04、P06 的开关及 LED 显示，对应输出 OR_OUT 则接到 P15 的七段 LED 显示器 DP1 的 C 段阳极端；而 XOR_IN0 及 XOR_IN1 则接于 P07、P08 的开关及 LED 显示，对应输出 XOR_OUT 则接至 P16 的七段 LED 显示器 DP1 的 D 段阳极端。

当 S1-1 即 P01 输入端置于低电位时其对应的 LED 不亮，但经 NOT 门反相后，经由 CPLD 的 P13 输出直接驱动 DP1 的 A 段 LED,则会因高电位而亮。注意！ DP1 的阴极需持 SC1 短路夹插接于 GND 端作并列输出，而 J8 的短路夹组,需使用 8 连排短路夹将 P13、P14、P15、P16 短路接到 DP1 的 A、B、C、D 阳级段。另外 P02 及 P03 的 SW1 开关 2、3 输入作 AND 门运算,由 DP1 的 B 段输出显示； P04 及 P06 的 SW1 开关 4、5 则作为 OR 门运算，由 DP1 的 C 段输出显示； P07 及 P08 的 SW1 开关 6、7 作 XOR 门运算，由 DP1 的 D 段输出显示。灯亮以 1 代表，不亮则以 0 代表，将上述的逻辑关系加以测试，并记录实验结果。

实验三　基本逻辑

一. 实验目的

1.掌握基本逻辑的编程方法。

2.掌握程序波形仿真的方法。

3.了解程序的编辑、编译和仿真的过程。

二. 实验内容

1.编程实现基本逻辑：x=1、y=ab、z=0111、w=a+b;

在 MAX+plusII 环境下进行编译和仿真;记录仿真的波形图。

2.编程实现一位全减器，并进行编译和仿真。

三. 编程提示

以逻辑表达式或列表形式表示全减器的功能,再用 VHDL 语言加以描述。

实验四　组合逻辑 1

一. 实验目的

1.掌握组合逻辑的编程方法。

2.掌握程序波形仿真的方法。

3.了解程序的编辑、编译和仿真的过程。

二. 实验内容

1.编程实现 6 路信号分时传送系统，并进行编译和仿真，记录仿真的波形图。

2.编程实现 3 位二进制数的等值比较器，并进行编译和仿真。

3.选择一个程序下载，并进行电路功能的测试。

三. 编程要求

基于 1/8MUX 和 3-8 译码器的功能来实现。

实验五　组合逻辑 2

一. 实验目的

1.掌握代码转换器的编程方法。

2.掌握利用波形仿真的方法。

3.掌握程序的编辑、编译、仿真、下载并测试的全过程。

二. 实验内容

1.编程实现 4 位二进制数转换为两位十进制数的 8421 码，并进行编译和仿真。

2.编程实现余 3 码转换为 8421 码，并进行编译和仿真。

3.选择一个程序下载，并进行电路功能的测试。

三. 编程要求：

利用 4 位全加器的功能来实现。

实验六　组合逻辑 3

一.实验目的

1.掌握具有比较功能电路的编程方法。

2.掌握利用波形仿真的方法。

3.掌握程序下载和测试的方法。

二.实验内容

1.编程实现一位十进制数的四舍五入电路，并进行编译和仿真，记录仿真的波形图。

2.编程实现 8 位二进制数等值比较器，并进行编译和仿真。

3.选择一个程序下载，并进行电路功能的测试。

三.编程要求

以 4 位比较器为基础来实现。

实验七　时序逻辑 1

一.实验目的

1.掌握时序逻辑的编程方法。

2.掌握利用波形仿真的方法。

3.掌握程序下载和测试的方法。

二.实验内容

1.编程实现可自启动的依此循环输出“1”的可控移存型 8 路脉冲分配器，并进行编译和仿真，记录仿真的波形图。

2.编程实现“01110110”序列发生器，并进行编译和仿真。

3.选择一个程序下载，并进行电路功能的测试。

三.编程要求

以移位寄存器功能为基础来实现。

实验八　时序逻辑 2

一. 实验目的

1.掌握计数功能电路的编程方法。

2.掌握利用波形仿真的方法。

3.掌握开发应用程序的全过程。

二. 实验内容

1.编程实现 8 位扭环形同步计数器，并进行编译和仿真。

2.编程实现 13 分频器，并进行编译和仿真，记录仿真的波形图。

3.选择一个程序下载，并进行电路功能的测试。

三. 编程要求

以移位寄存器或计数器功能为基础来实现。

附录一 台湾掌宇公司研制的 CPLD 实验系统的简介

一、功能说明

1.具有提供两种下载板(CPLD/FPGA) 共享一个 I/O 实验板的功能，使用者可自行更换。

2.CPLD 芯片内含 6000 门以上，内部使用 RAM 作电路结构，速度高达几百 MHz，且可任意更改逻辑电路的内容。

3.开发系统全部窗口化，使用数字硬件描述语言(VHDL)及电路绘图法设计芯片，自动简化电路结构，快速制成数字电路。

4.CPLD/FPGA 芯片的管脚可由程序任意设定，输入/输出不必使用导线外连，可避免实验错误烧毁主机板。

5.加入下载板接口电路，使用下载程序管理，可重复写入 10K 次以上，并可同时在 SEEPROM 内存储数个下载电路的资料。

6.可搭配单片机 89C52、PIC、AVR 及 PC 控制。

7.具有更换下载板(EPF/M-7000/8000/9000/10K, LATTICE 及 ATMEL)的功能。

二、I/0 实验板

1. 24 bits DIP 开关

2. 32 个 LED 显示器(发光二极管)

3. 6 位 7-SEG 显示器 (可作并列显示及串行扫描)

4. 米字型显示器

5. 5×7 点阵显示器

6. 4 路单脉冲输出

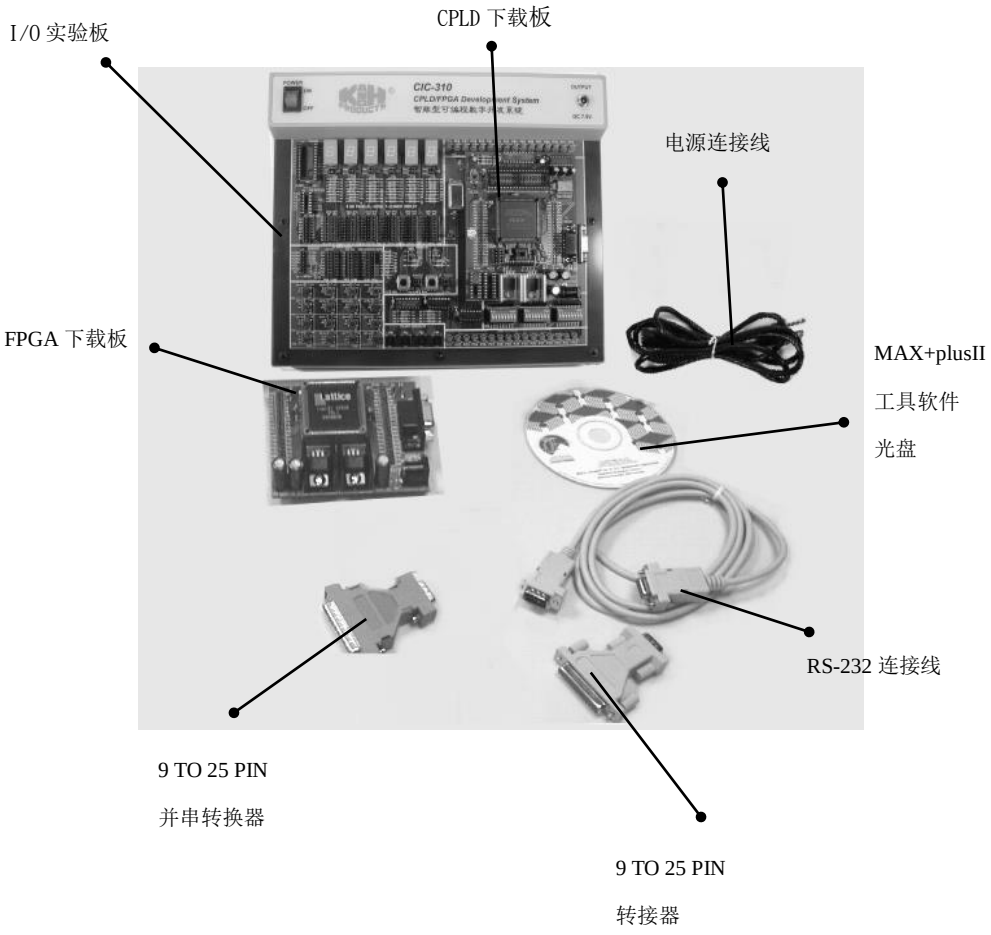
7. 2 路连续可调脉冲输出(1Hz~1MHz)

8. 2 路连续脉冲输出(11MHz、20MHz)

9. 4×4 矩阵键盘，并可组成 16 个单一脉冲按键

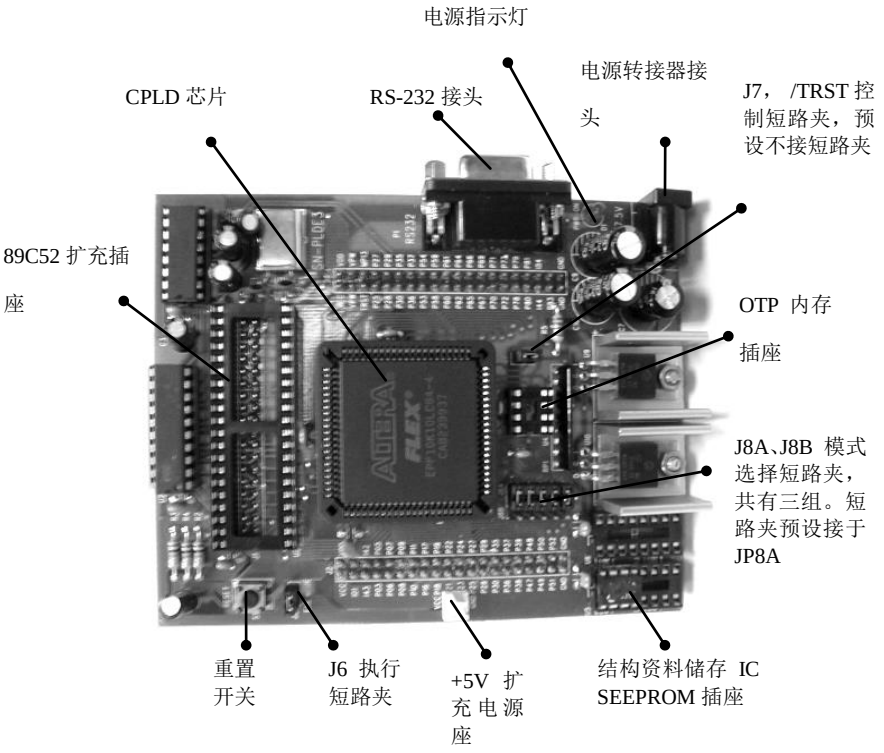
三、实验系统的基本组成：

1. ALTERA CPLD 8K EPF8282ALC84-4 chip 下载板(download board)SN-PLDE2。
2. Lattice FPGA ISPLS1032 chip 下载板(SN-LTPLD)。
3. I/O 实验板(SN-CPLDE3A)。
4. 电源转接器(Adaptor)。
5. 9 PIN 的 RS-232 连接线。
6. 25PIN-9PIN 并串转换器。

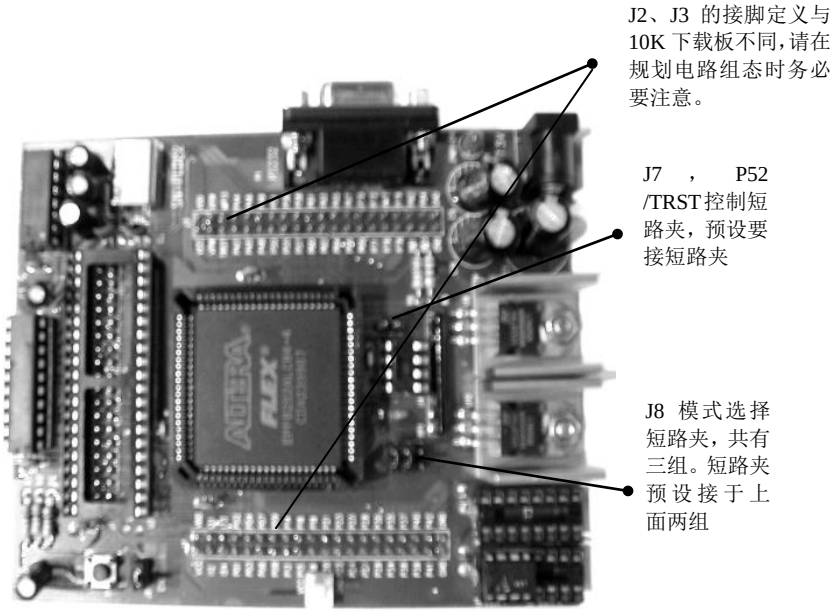


1.CPLD 下载板(8K/10K)

(1)10K 下载板



(2)8K 下载板：外观上大致与 10K 下载板相同，不同之处示于下图。



【说明】

(1) CPLD 芯片：SN-PLDE2 所采用的是 ALTERA 公司 CPLD 芯片 EPF8282ALC84-4，有 84 个管脚。此芯片采用了 SRAM 制造技术，内部有效门数为 5000 个，可用门数为 2500 个，最多可使用 I/O 管

脚数为 78 个。

(2)RS-232 接头：通过 RS-232 连接线，接收由 PC 传送来的资料。

(3)电源指示灯：用来指示电源的有无。

(4)电源转接器接头：接受电源转接器输入的 7.5V 直流电压。

(5)OTP 内存插座：提供使用一次规划型内存时的场合，若使用 OTP 内存时，JP8 的第三组短路夹要接上。

(6) J8A、J8B 模式选择短路夹：由于本系统是采用串行被动式的资料下载方式，并且只在 U5 插上一片 8K×8 的 SEEPROM，所以在出厂时已先将短路夹插好，请参见外观图。

(7) 下载资料存储 IC 插座：共有 U5、U6、U7、U8 四个 SEEPROM 的插座，本系统最多可扩充到 32K×8 的存储空间。注意：CPLD 下载板上的 SEEPROM 不可予以拔掉，否则无法执行下载。

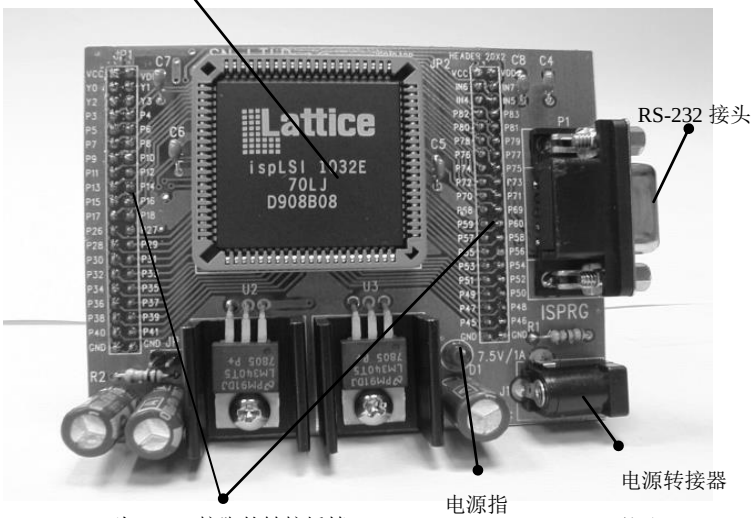
(8) +5V 扩充电源插座：提供+5V 外部电源的输入之处。

(9) J6 执行短路夹：当执行 CPLD 的下载资料时，短路夹要接上，若要切换执行下一个下载资料时，只要插拔一次 J6 即可。

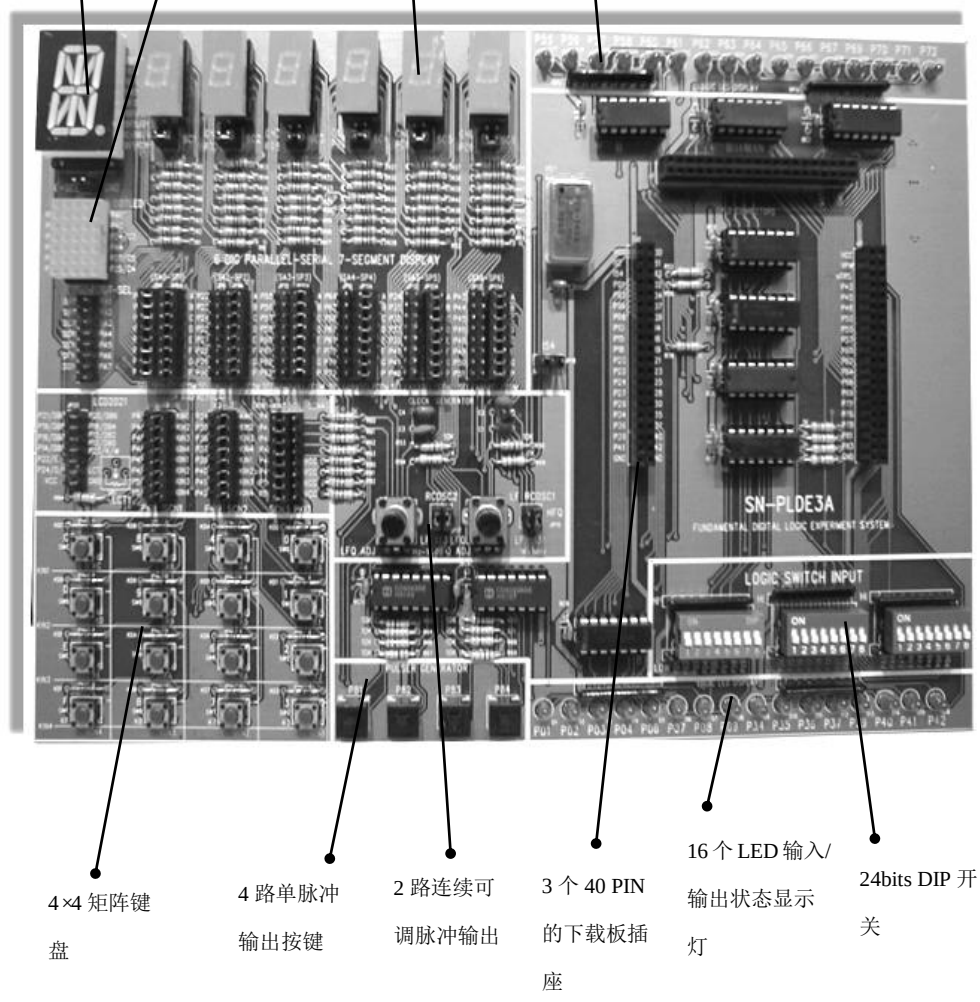
(10)重置开关：用来做系统的重置工作。

(11) 89C52 扩充插座：此为单片机 89C52 的扩充插座。

2. FPGA 下载板



3. I/O 实验板



※ 详细说明请参见：附录二 CPLD 实验系统硬件说明。

四、各种下载板芯片管脚对照表

脚座代号	J2						J3					
下载板代号	SN-PLDE2 (EPF8282)		SN-PLDE3 (EPF10K10)		SN-LTLD (isp1032)		SN-PLDE2 (EPF8282)		SN-PLDE3 (EPF10K10)		SN-LTLD (isp1032)	
接脚名称	VCC	VDD	VCC	VDD	VDD	VCC	VCC	VDD	VCC	VDD	VDD	VCC
	I12	I31	I01	I02	Y0	Y1	VPW	VPW	VPW	VPW	IN6	IN7
	I54	I73	I43	I42	Y2	Y3	TRST	MP13	TRST	MP13	IN4	IN5
	P01	P02	P03	P05	P3	P4	P43	P44	P25	P27	P82	P83
	P03	P04	P06	P07	P5	P6	P45	P46	P28	P29	P80	P81
	P06	P07	P08	P09	P7	P8	P48	P49	P30	P35	P78	P79
	P08	P09	P10	P11	P9	P10	P50	P51	P36	P37	P76	P77
	P13	P14	P16	P17	P11	P12	P55	P56	P53	P54	P74	P75
	P15	P16	P18	P19	P13	P14	P57	P58	P58	P59	P72	P73
	P18	P19	P21	P22	P15	P16	P60	P61	P60	P61	P70	P71
	P20	P21	P23	P24	P17	P18	P62	P63	P62	P64	P68	P69
	P22	P23	P25	P27	P26	P27	P64	P65	P65	P66	P59	P60
	P24	P25	P28	P29	P28	P29	P66	P67	P67	P69	P57	P58
	P27	P28	P30	P35	P30	P31	P69	P70	P70	P71	P55	P56
	P29	P30	P36	P37	P32	P33	P71	P72	P72	P73	P53	P54
	P34	P35	P38	P39	P34	P35	P76	P77	P78	P79	P51	P52
	P36	P37	P47	P48	P36	P37	P78	P79	P80	P81	P49	P50
	P39	P40	P49	P50	P38	P39	P81	P82	I44	I84	P47	P48
	P41	P42	P51	P52	P40	P41	P83	P84	P83		P45	P46
	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND

附录二 CPLD 实验系统硬件说明

一、系统结构

本实验系统是由 CPLD/FPGA 下载板、I/O 实验板、RS-232 接口电路与电源四部分构成，其结构图如图 4-1 所示。

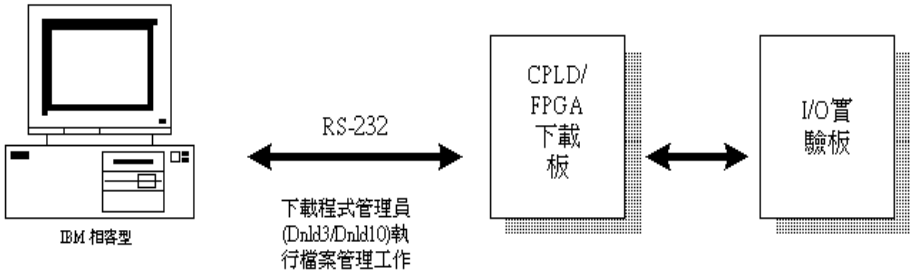


图 4-1 CPLD/FPGA 数字发展实验系统结构图

二、电路说明

1.ALTERA CPLD 8K 下载板

主要是由 Altera 公司的 SRAM-Based CPLD（Complex Programmable Logic Device）及 AVR 系统(RAM、ROM 和 RS-232 界面)所组成。

利用可编程数字集成电路，可设计不同功能的数字电路（在某些限制下），经由编译器转换成结构资料，加载到 SRAM 中，将其内部电路设定成所需要的，所设计的电路便得以实现。

由于结构资料是放在 SRAM 中，当电源不存在时，电路也随即消失。AVR 系统功能是：通过 RS-232 从 PC 上将结构资料加载到 CPLD 中。图 4-2 及图 4-3 为 SN-PLDE2 的面板及线路图。经由板上的三个 40Pins 的连接插座，可插接不同的实验板，包括基本实验板、专用实验板或通用实验板。

CPLD 的结构资料可设定成主动式，由外部 SROM(串行 ROM)或并列 ROM 读取内含放入其内部 SRAM 作结构设定，本实验器则可采用三线式串行 SROM 的 8K×8 内存，占用 CPLD 的 DATA0，nCONFIG，DCLK，CONF_DONE，nSTATUS 共五个管脚。

若采用被动式读取结构模式时，则搭配单片机由 PC 经 RS-232 传入资料后，再通过单片机配合 CPLD 的时序及资料

和控制方式传输到 CPLD 的结构 RAM 内，此种模式为本实验器的主要仿真开发系统。另外可通过单片机将 RS-232 传来的 PC 资料烧录到串行的 SEEPROM(例如 24LC65 等 8K×8)中，当电源再次开机时，单片机将自动从 SEEPROM 内读取结构资料依次再转写入 CPLD 内，本实验器可使用四片 24LC65 共有 32K×8，可容纳相当多的电路结构资料，CPLD 结构资料的读取模式则得由 NSP，MSEL0，MSEL1 等三个管脚予以设定。

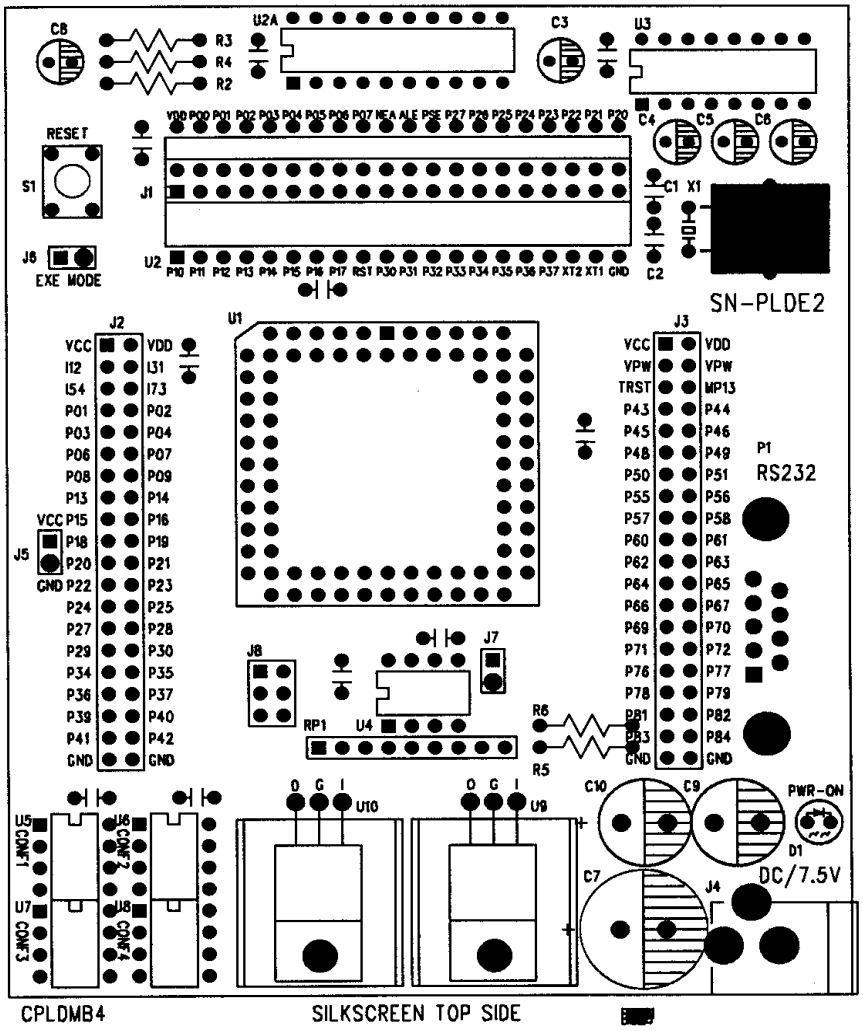


图 4-2　ALTERA CPLD 8K 下载板面板

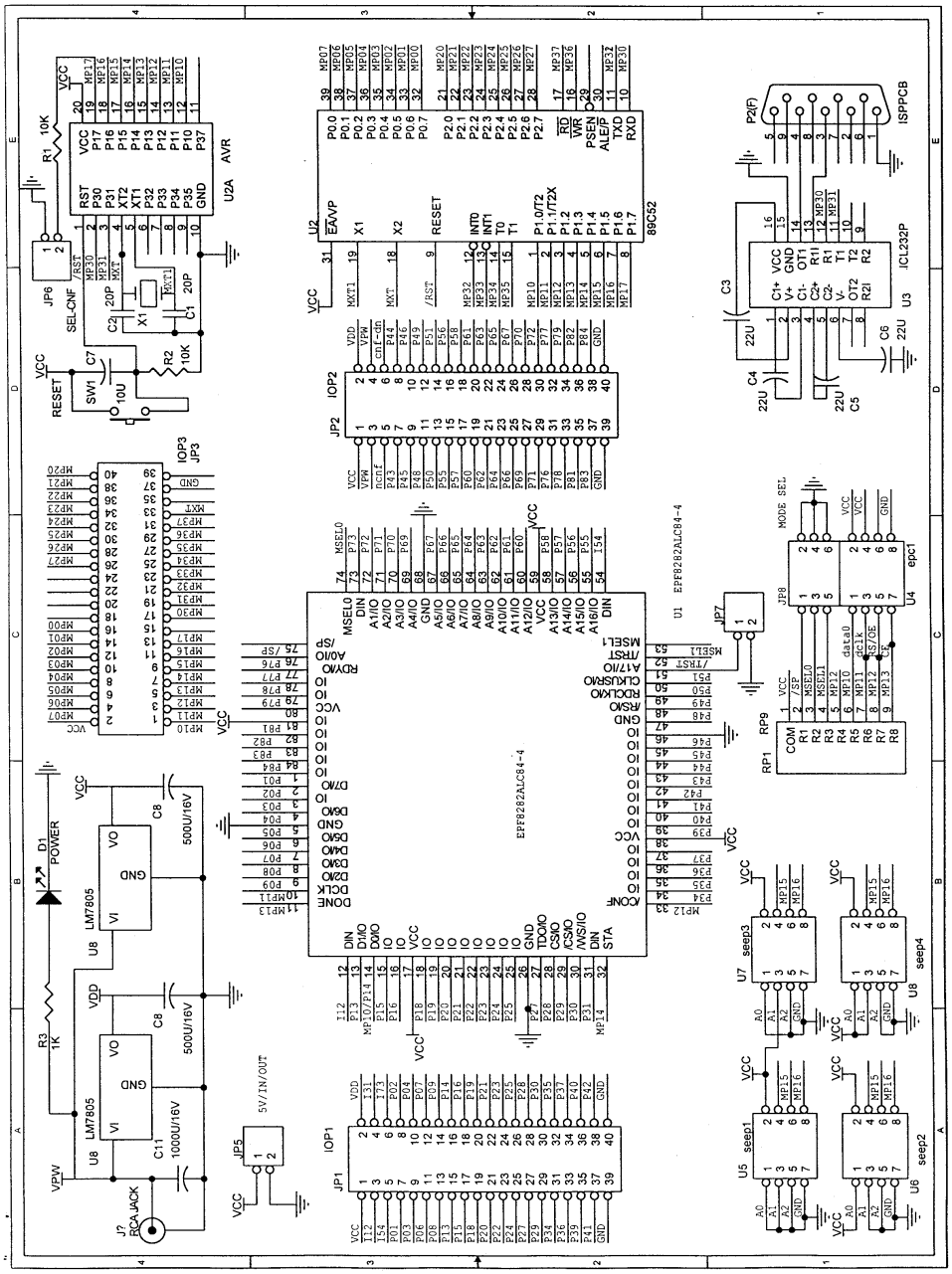


图 4-3　ALTERA CPLD 8K 下载板电路

2.I/O 实验板

I/O 实验板是为做基础实验而配备的，板上有简单的输入/输出组件，包括逻辑 LED 显示器、七段数码显示器、米字型显示器、5×7 点阵显示器、DIP 拨动开关、按键及振荡器、单脉冲信号源等，可进行所有的基础实验。

I/O 实验板面板如图 4-4 所示，各功能说明如下：

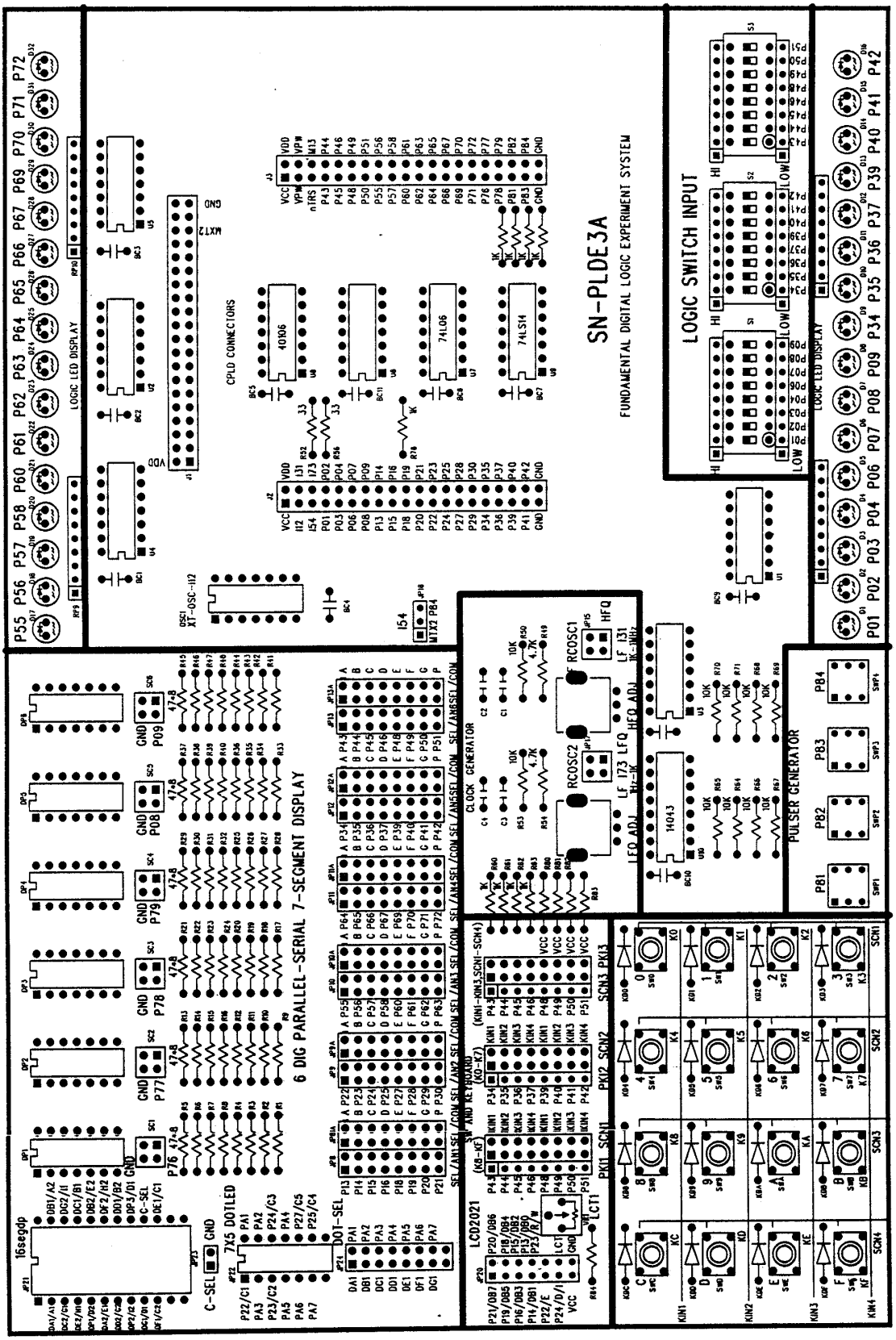


图4-4　I/O实验板面板图

(1)DIP逻辑输入开关

实验系统有三个 8×1 的DIP输入开关(如图 4-6 所示)，分别接到CPLD的管脚，其对应关系如表 4-1 所示。

表 4-1 CPLD 管脚与逻辑输入开关的对应关系

代　号	S1-1	S1-2	S1-3	S1-4	S1-5	S1-6	S1-7	S1-8
组件名称	DIP SWITCH							
CPLD 脚 位	P01	P02	P03	P04	P06	P07	P08	P09

代　号	S2-1	S2-2	S2-3	S2-4	S2-5	S2-6	S2-7	S2-8
组件名称	DIP SWITCH							
CPLD 脚 位	P34	P35	P36	P37	P39	P40	P41	P42

代　号	S3-1	S3-2	S3-3	S3-4	S3-5	S3-6	S3-7	S3-8
组件名称	DIP SWITCH							
CPLD 脚 位	P43	P44	P45	P46	P48	P49	P50	P51

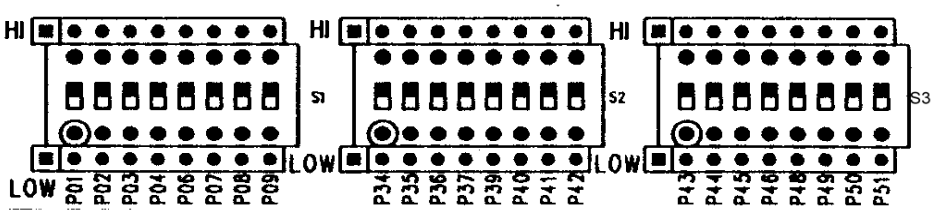


图4-5 SN-PLDE3A的DIP输入开关配置图

输入开关外观图可参见图 4-6。

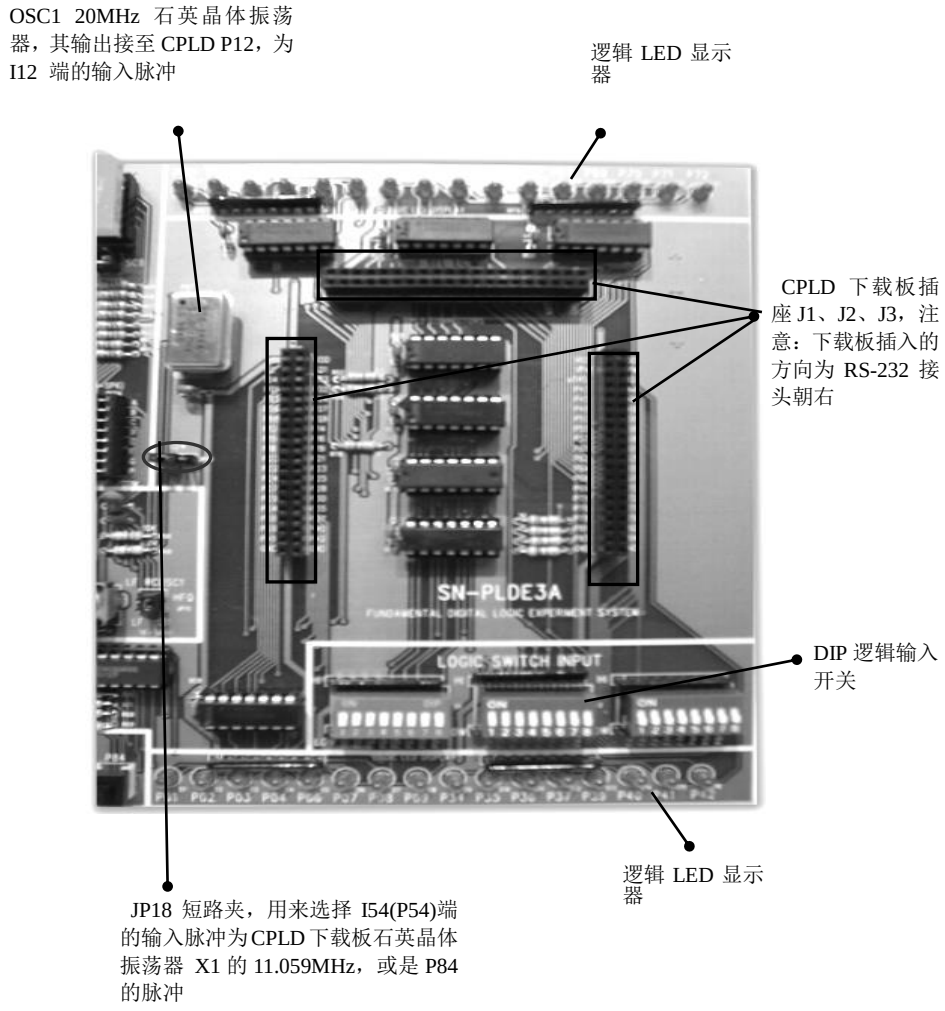


图 4-6 逻辑 LED 显示器及输入部分面板外观照片

(2)逻辑LED显示器

实验系统有上下两组逻辑LED显示器(如图4-6所示)，分别接到CPLD的管脚，其对应关系如表4-2所示。

表 4-2 CPLD 管脚与逻辑 LED 显示器的对应关系

代　号	D1	D2	D3	D4	D5	D6	D7	D8
组件名称	LED							
CPLD 脚 位	P01	P02	P03	P04	P06	P07	P08	P09

代　号	D9	D10	D11	D12	D13	D14	D15	D16
组件名称	LED							
CPLD 脚 位	P34	P35	P36	P37	P39	P40	P41	P42

代　号	D17	D18	D19	D20	D21	D22	D23	D24
组件名称	LED							
CPLD 脚 位	P55	P56	P57	P58	P60	P61	P62	P63

代　号	D25	D26	D27	D28	D29	D30	D31	D32
组件名称	LED							
CPLD 脚 位	P64	P65	P66	P67	P69	P70	P71	P72

处于面板右下方的16个LED(D1~D16)用来显示输入或输出的逻辑值；而面板右上方的16个LED(D17~D32)，全部用于输出逻辑状态的显示。(P59管脚没有连续使用是因其被固定设为Vcc电源输入端，而P68被固定为GND接地端)。

32个LED逻辑输出端是通过CD40106的IC缓冲输出驱动LED组成，由于为CMOS状态故几乎不会有负载效应，配置如图4-7所示。

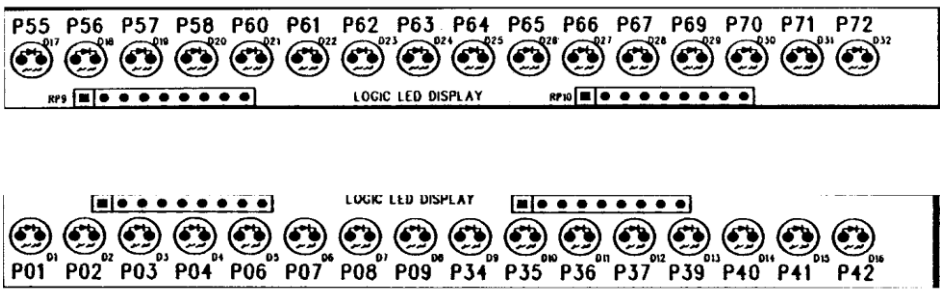


图 4-7　逻辑 LED 显示器配置图

(3) 并列或串行的六位七段数码显示器

如图4-8所示，实验系统有六个共阴极的七段数码显示器(DP1~DP6),分别接到CPLD的管脚，其对应关系如表4-3所示。

表 4-3　CPLD 管脚与七段数码显示器的对应关系

代　号	DA1	DB1	DC1	DD1	DE1	DF1	DG1	DP1	SC1
组件名称	DP1 七段显示器								
CPLD 脚 位	P13	P14	P15	P16	P18	P19	P20	P21	P76

代　号	DA2	DB2	DC2	DD2	DE2	DF2	DG2	DP2	SC2
组件名称	DP2 七段显示器								
CPLD 脚 位	P22	P23	P24	P25	P27	P28	P29	P30	P77

代　号	DA3	DB3	DC3	DD3	DE3	DF3	DG3	DP3	SC3
组件名称	DP3 七段显示器								
CPLD 脚 位	P55	P56	P57	P58	P60	P61	P62	P63	P78

代　号	DA4	DB4	DC4	DD4	DE4	DF4	DG4	DP4	SC4
组件名称	DP4 七段显示器								
CPLD 脚 位	P64	P65	P66	P67	P69	P70	P71	P72	P79

代　号	DA5	DB5	DC5	DD5	DE5	DF5	DG5	DP5	SC5
组件名称	DP5 七段显示器								
CPLD 脚 位	P34	P35	P36	P37	P39	P40	P41	P42	P08

代　号	DA6	DB6	DC6	DD6	DE6	DF6	DG6	DP6	SC6
组件名称	DP6 七段显示器								
CPLD 脚 位	P43	P44	P45	P46	P48	P49	P50	P51	P09

每个七段数码显示器的共阴极管脚(SC1~SC6)，可以利用短路夹予以选择连接到CPLD的管脚(P76、P77、P78、P79、P08、P09)作为串行扫描控制或直接接到GND地端,实现并列独立显示。

DP3及DP4七段数码显示器的输入端是与逻辑LED显示器D17~D32并联；而DP5及DP6则与D9~D16并联。每个七段显示器的管脚都各串联一个100Ω的限流电阻。

每个七段显示器是以串行扫描显示，还是以并列独立显示，可由六组8连排短路夹(JP8-JP8A~JP13-JP13A)来选择。

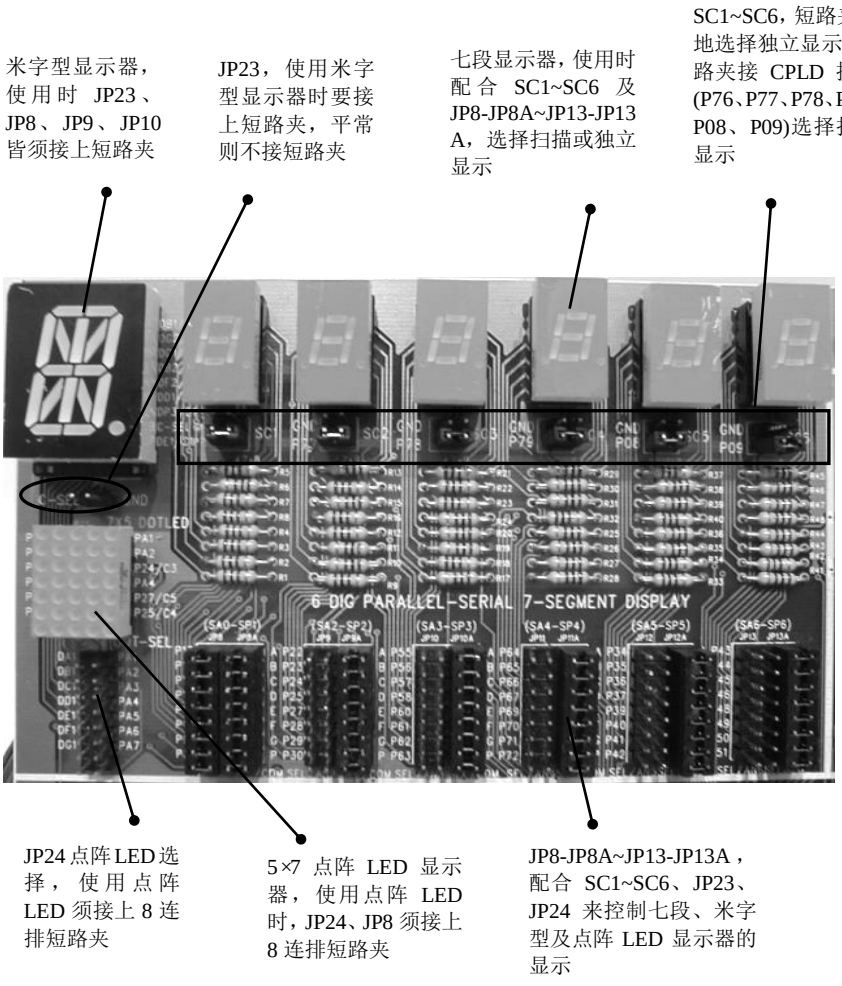


图 4-8 显示器面板部分外观照片

图4-9为七段显示器以并列独立显示的接线图，SC1~SC6都用短路夹接至地，令其对应阳极电位而显示，而JP8、JP9、JP10、JP11、JP12、JP13也都以8连排短路夹接至CPLD各对应的管脚。

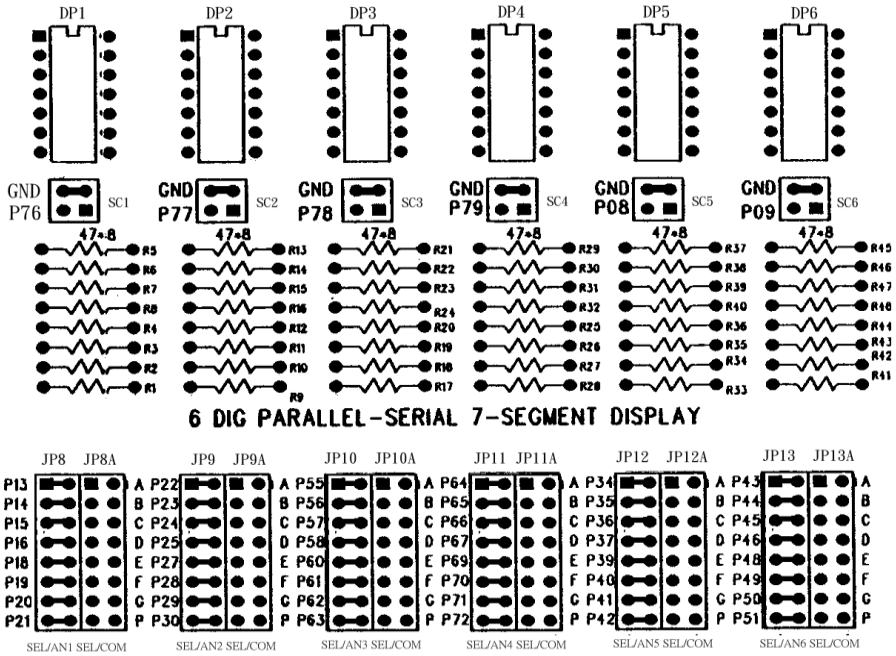


图 4-9　六位七段数码显示器的并列独立显示接线图

图4-10为六位七段显示器串行扫描显示的接线图。图中将SC1~SC6都用短路夹接至CPLD的P76~P79、P08、P09，形成共阴极由P76~P79、P08、P09以LOW电位加以控制扫描，而各七段显示器的阳极端,则通过8连排短路夹全部予以并联到A、B、C、D、E、F、G、P端，再由另一组8连排短路夹并接到P13~P21或P22~P30、P55~P63、P64~P72、P34~P42、P43~P51端共同扫描驱动。

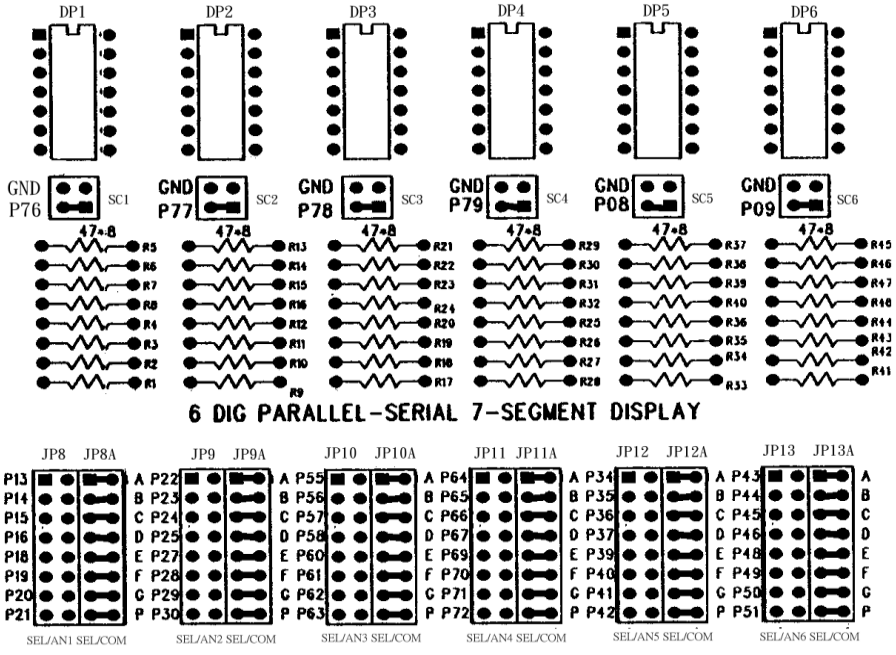


图4-10　六位七段数码显示器的串联扫描显示接线图

图4-11为七段显示器的管脚定义图。

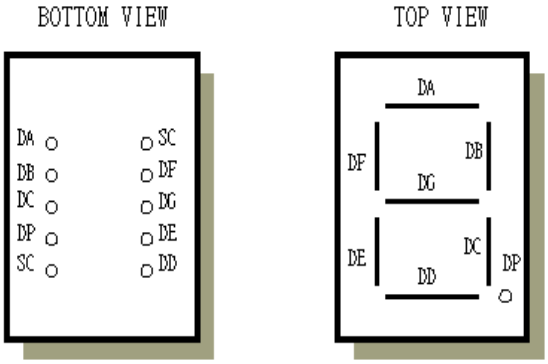


图 4-11 七段显示器的管脚定义图

(4) 米字型显示器

图4-8中的共阴极米字型LED显示器(16segdp)，其接到CPLD的管脚对应关系如表4-4所示。

表 4-4 CPLD 管脚与米字型显示器的对应关系

代 号	A1	A2	B1	B2	C1	C2	D1	D2	E1
组件名称	米字型显示器								
CPLD 脚 位	P13 (DA1)	P14 (DB1)	P15 (DC1)	P16 (DD1)	P18 (DE1)	P19 (DF1)	P20 (DG1)	P21 (DP1)	P22 (DA2)
代 号	E2	G1	G2	H1	H2	F1	F2	DP	CSEL
组件名称	米字型显示器								
CPLD 脚 位	P23 (DB2)	P24 (DC2)	P25 (DD2)	P27 (DE2)	P28 (DF2)	P29 (DG2)	P30 (DP2)	P63 (DP3)	JP23 (GND)

从上表的对应关系可知，当使用米字型显示器时，必须将JP8、JP9、JP10及JP23都接上短路夹。

图4-12为米字型显示器的管脚定义图，图4-13为其配置图。

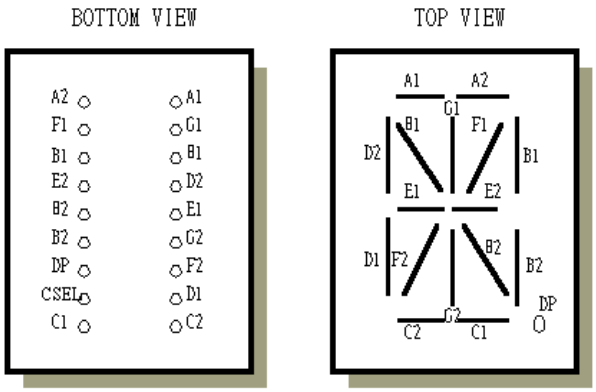


图 4-12　米字型显示器的管脚定义图

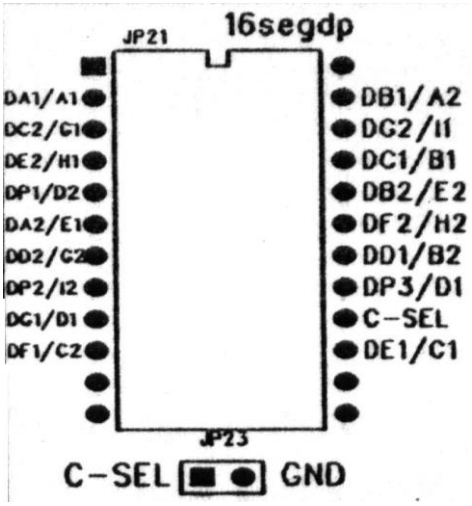


图 4-13　米字型显示器的配置图

(5) 5×7 点阵显示器

图4-8中的共阴极5×7 点阵显示器(dot matrix)，其接到CPLD的管脚对应关系如表4-5所示。

表 4-5 CPLD 管脚与点阵显示器的对应关系

代 号	PA1	PA2	PA3	PA4	PA5	PA6	PA7
组件名称	5×7 点阵显示器						
CPLD 脚 位	P13	P14	P15	P21	P18	P19	P20
代 号	C1	C2	C3	C4	C5		
组件名称	5×7 点阵显示器						
CPLD 脚 位	P22	P23	P24	P25	P27		

从上表的对应关系可知，当使用5×7点阵显示器时，必须将JP8、JP24都接上短路夹。

图4-14为5×7 点阵显示器管脚定义图，图4-15为其配置图。

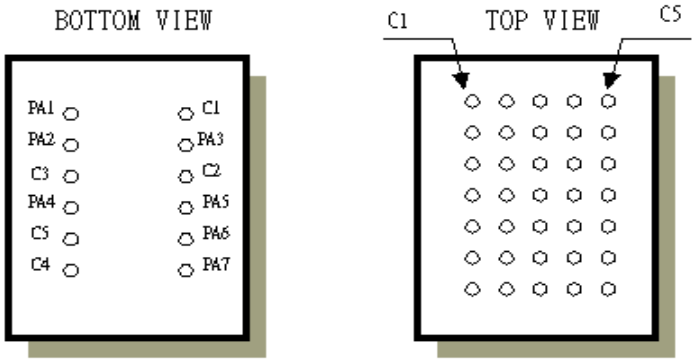


图 4-14 5×7 点阵显示器管脚定义图

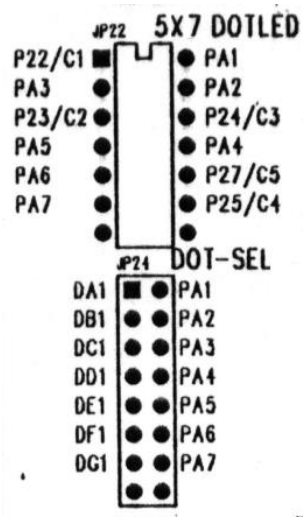


图 4-15　5×7 点阵显示器配置图

(6) 脉冲信号发生器

实验系统有四个按钮开关式的单脉冲发生器(如图4-16所示)，其与CPLD管脚的对应关系如表4-6所示。

表 4-6　CPLD 管脚与按钮开关的对应关系

代　号	SWP1	SWP2	SWP3	SWP4
组件名称	按钮式开关			
CPLD 脚 位	P81	P82	P83	P84

SWP1~SWP4为按钮式开关，平时输出为LOW低电位，按下时为HI高电位，这些开关都经噪声消除，所以适合作计数器、寄存器的输入脉冲CLOCK。

实验系统有两个连续脉冲发生器,均为RC振荡器，由可变电容调整其高低频段，由半可调1MΩ电位器F1-ADJ、F2-ADJ调整其输出频率。两路信号发生器中F2可调范围是约1Hz到1KHz分2段，而F1可调范围是约1KHz到1MHz分2段。F1输出可选择接到CPLD的第31脚I31端，而F2则可选择接到第73脚的I73输入端。

JP15的短路夹插接于LF端则选择F1的低频段，JP17的短路夹插接于LF端则选择F2的低频段，CPLD的第31脚即I31则可由JP15选择RC振荡信号源F1端。同样CPLD的第73脚I73也可由JP17选择RC振荡信号源端F2。

按钮式单脉冲信号源及RC振荡脉冲信号源的配置图如图4-17所示。

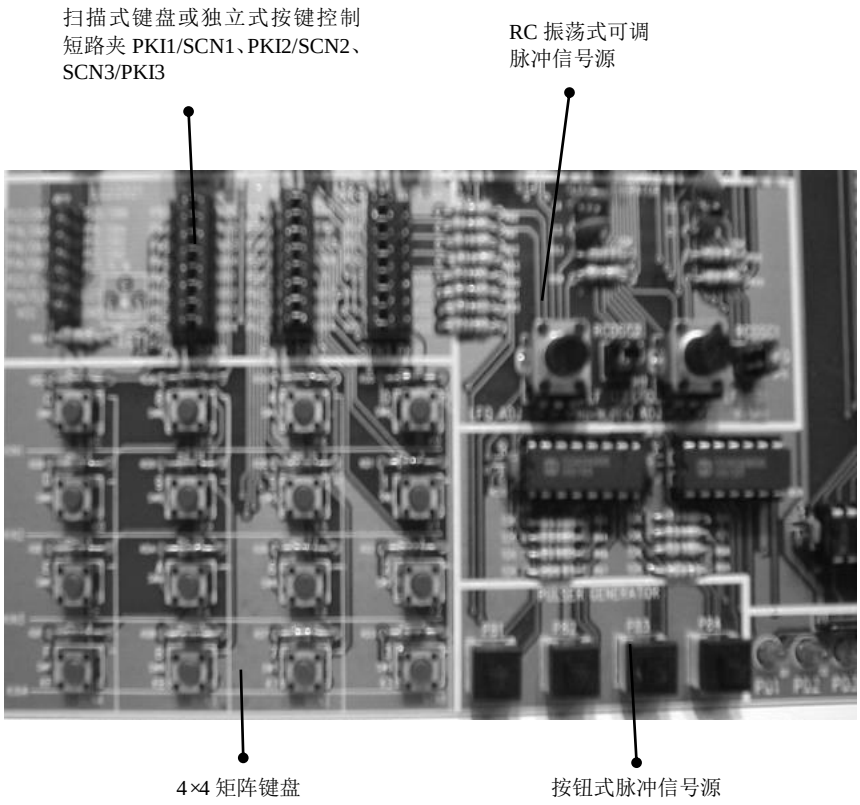


图 4-16　脉冲信号源及键盘外观照片

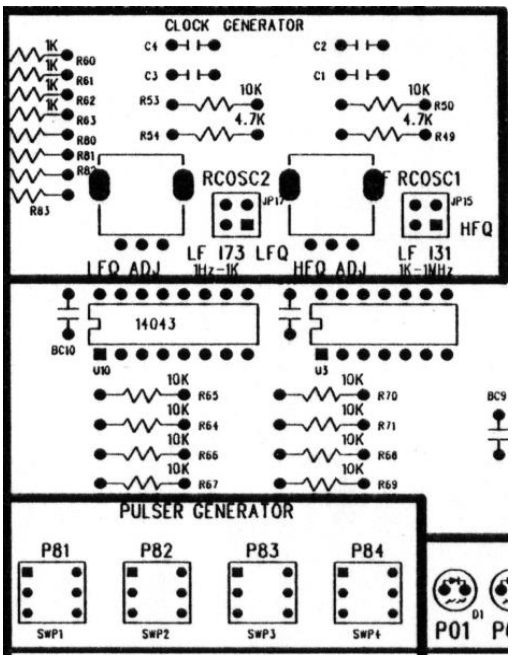


图 4-17 脉冲信号源配置图

(7) 矩阵式键盘

如图4-16所示，实验系统中由16个按键组成矩阵式键盘，其与CPLD的对应管脚关系如表4-7所示。

表 4-7　CPLD 管脚与矩阵式键盘的对应关系

代　号	SW0	SW1	SW2	SW3	SW4	SW5	SW6	SW7
组件名称	按钮式按键							
CPLD 脚 位	P34	P35	P36	P37	P39	P40	P41	P42
代　号	SW8	SW9	SWA	SWB	SWC	SWD	SWE	SWF
组件名称	按钮式按键							
CPLD 脚 位	P43	P44	P45	P46	P48	P49	P50	P51
扫描时的对应行列线名称	KIP1	KIP2	KIP3	KIP4	SCN1	SCN2	SCN3	SCN4

从图4-18～图4-20可以知道：若要十六个按键个别使用时，PKI1、PKI2、PKI3都要接上短路夹；若是要将十六个按键当为4×4矩阵键盘使用时，则换成SCN1、SCN2、SCN3接上短路夹。

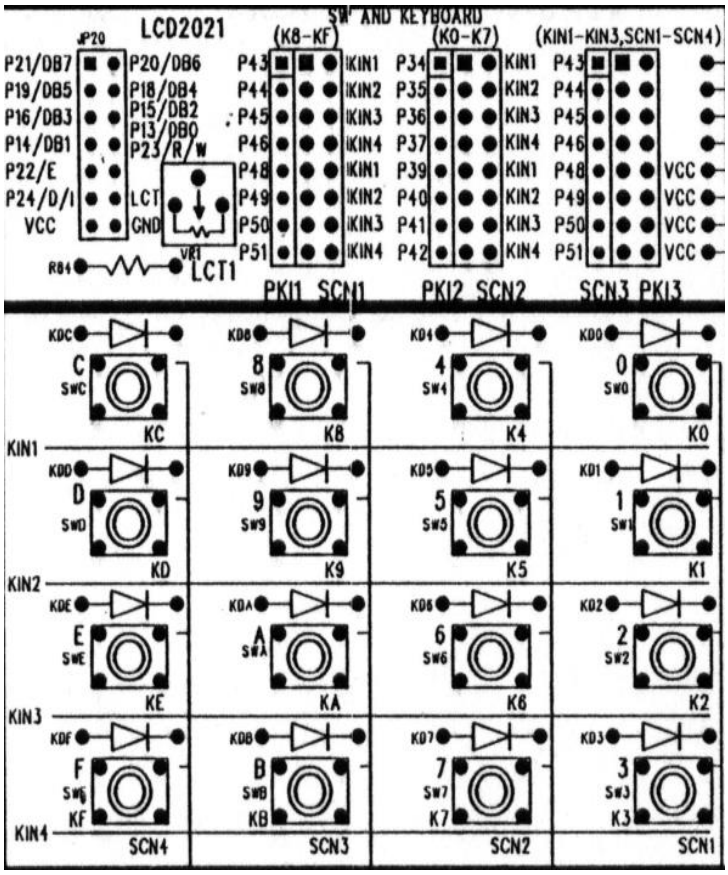


图 4-18 矩阵式键盘配置图

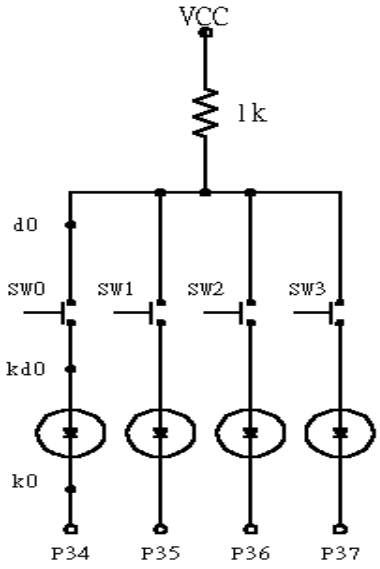


图 4-19　按键独立使用时的实际连接线路

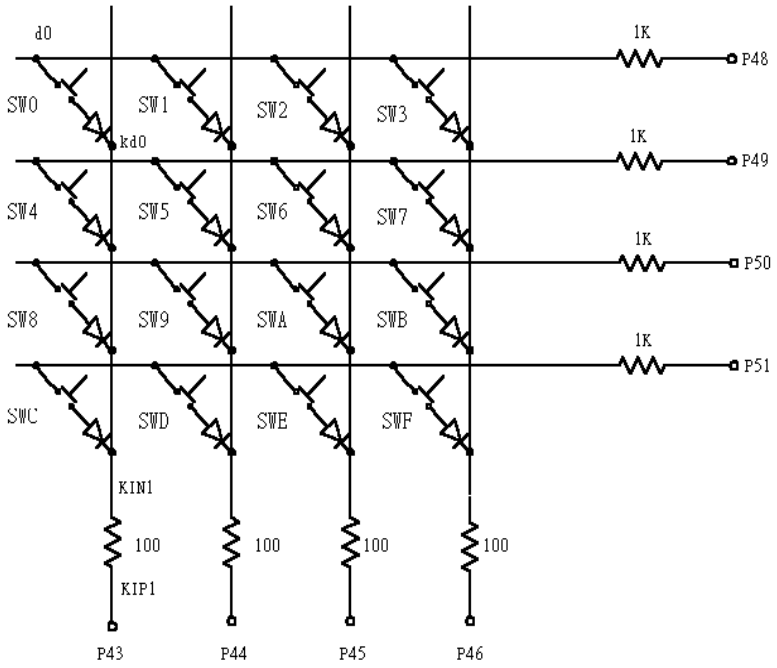


图4-20 十六个按键组成矩阵键盘时的实际连接线路