数字电子技术实验

实验一　门电路的测试

一. 实验目的

1.掌握门电路的逻辑功能的测试方法。

2.掌握门电路外特性的测试方法，进一步理解各参数的含义及作用。

3.掌握正确使用门电路的要点。

二. 实验仪器及器件

1.双 4 入与非门　74LS20×2、　C4012×2

2.数字式万用表

3.双踪示波器

4.数字实验箱

5.直流稳压电源

三. 实验原理

根据实验内容，对被测门电路提供相应的输入信号（高/低电位、连续脉冲信号和可变直流电压），采取相应的测试方式完成待测内容，记录测试结果（电压值、逻辑值和波形图）。通过外部的简单测试，了解被测门电路的逻辑功能、外特性及简单应用。

实验中使用的 74LS20 和 C4012 芯片管脚排列图参见 7.4 节。

四. 实验内容及步骤

1. 测试 TTL 、CMOS 与非门的逻辑功能

(1)测试与非门的逻辑功能,鉴别器件的好坏

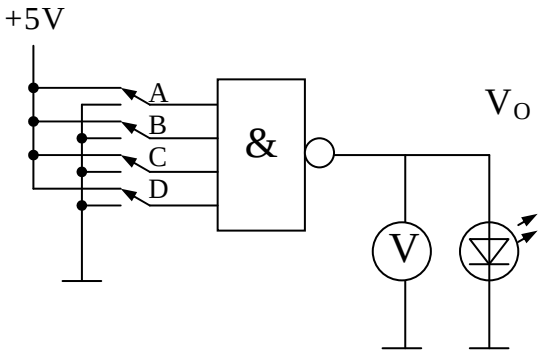


图 6-1　　电路图

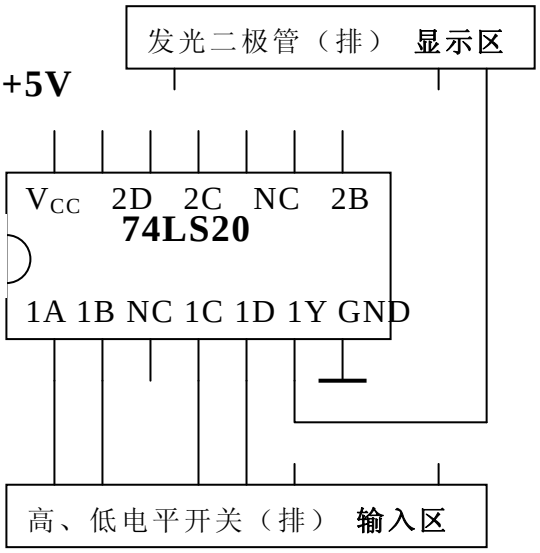


图 6-2　　连线图

①按 74LS20 的管脚排列图及电路图 6-1 的要求连线，实现如图 6-2 所示的连线图。将四个输入端 A、B、C、D 分别连到实验箱中的高/低电平输出插孔，拨动开关即可得到高、低电平输入。将输出端 V_O 连到实验箱上的发光二极管输入插孔，以随时观察与非门的输出逻辑。将集成电路 74LS20 的工作电源端和地线端分别连接到实验箱中的+5V 插孔和 GND 插孔。

②按下面表格 6-1 中输入逻辑值的要求，在相应端施加高、低电平（V_{IH}=5V，V_{IL}=0V），记录下用万用表测量的输出电压值和所观察到的发光二极管显示的输出逻辑值。

③按 C4012 的管脚名称及电路图 6-1 的要求连线。重复上述的操作及要求。

表 6-1

输入端	74LS20 输出端		C4012 输出端	
A B C D	电压值	逻辑值	电压值	逻辑值
0 0 0 0				
0 0 0 1				
0 0 1 1				
0 1 1 1				
1 1 1 1				

(2) 观察与非门的控制作用

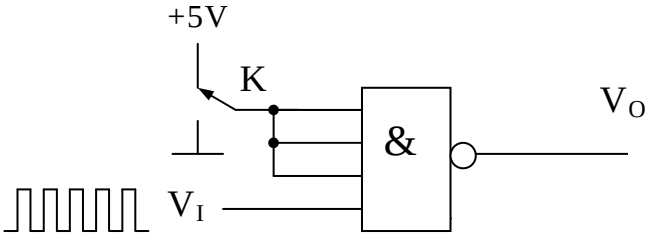


图 6-3　　电路图

①按 74LS20 的管脚排列图及电路图 6-3 的要求连线。

②将三个输入端连到实验箱上的一个高、低电平输出插孔中，拨动开关以提供起控制作用的高、低电平。将另一个输入端连到实验箱上的一个连续脉冲输出插孔中，选择 5kHz 左右的频率。

③用双踪示波器观察输入 V_I 和输出 V_O 的波形，并在图 6-4 中记录下控制端 K 分别为高、低电平时的输入 V_I 和输出 V_O 的波形。

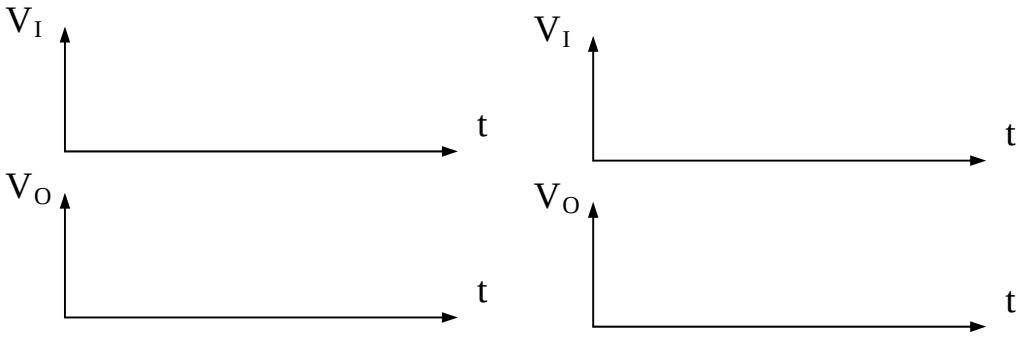


图 6-4　　波形图

2. 测试与非门的电压传输特性

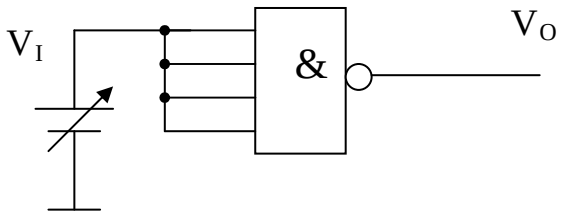


图 6-5　　电路图

(1)按 74LS20 的管脚排列图及电路图 6-5 的要求连线。

(2)由直流稳压电源提供可变直流电压。在 0V~3.6V 之间选择十个 V_I 值依次输入，用万用表依次测量输入的 V_I 值和对应的输出 V_O 值，并记录于表格 6-6 中。

(3)根据所测数据，在图 6-6 中画出与非门的电压传输特性曲线，并标出 V_{OH} 值、V_{OL} 值、V_{NL} 值、V_{NH} 值、V_N 值和 V_T 值。

表 6-2

V_I (V)										
V_O(V)										



图 6-6　电压传输特性曲线

3. 测试与非门的平均传输延迟时间

(1)按 74LS20 的管脚排列图及电路图 6-7 的要求连线。

(2)将输入端连到实验箱上的一个连续脉冲输出插孔中，选择 5kHz 左右的频率。

(3)用双踪示波器观察输入 V_I 和输出 V_O 的波形，并将 X 扫描扩展 10 倍，分别记录下输出波形 V_O 对应于输入波形 V_I 的两段滞后时间。利用下列公式间接地计算出与非门的平均传输延迟时间，填入表 6-3 中。

$$t_{pd} = \frac{tpd1 + tpd2}{4\times10}$$

(4)按 C4012 的管脚名称及电路图 6-7 的要求连线。重复上述的操作及要求。

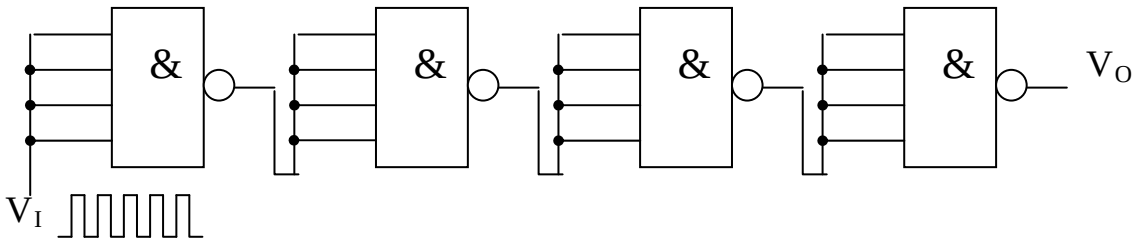


图 6-7　　电路图

表 6-3

器件型号	tpd1	tpd2	tpd
74LS20			
C4012			

4. 测试简单电路

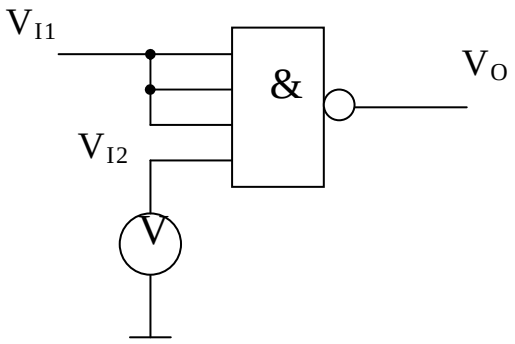


图 6-8　　电路图

(1)按 74LS20 的管脚排列图及电路图 6-8 的要求连线。

(2)按表格 6-4 中的要求提供 V_{I1}，用万用表（20V 量程）测量 V_{I2} 端的电压值，并记录于表格中。

(3)分析当使用万用表（5V 量程，内阻为 20 kΩ /V）测量 V_{I2} 端得到的电压值该为多少。

表 6-4

V_{I1}	V_{I2}
悬空	
接低电平（0V）	
接高电平（5V）	
经 50Ω 电阻接地	
经 10kΩ 电阻接地	

五. 实验报告及思考题

1.整理数据，按各题表格的要求填写测试数据、画出曲线。

2.分析测试结果（偏差的原因及解决措施）。

3.如何快速判断门电路的功能是否正常？

4.如何利用或门、异或门实现对输入信号的控制作用？

5.TTL 与非门和 CMOS 与非门的输入端悬空，相当于输入了什么逻辑电平？使用中能否悬空？多余端的最佳处理方法是什么？

实验二　组合电路(SSI)

一. 实验目的

1.掌握利用给定器件实现组合电路的设计方法。

2.掌握组合电路逻辑功能的测试方法。

3.掌握数字电路的合理布线方法。

二. 实验仪器及器件

1.四 2 入异或门　　74LS86×1

2.四 2 入与非门　　74LS00×2

3.3-2-2-3 输入与或非门　74LS54×1

4.六非门　　74LS04×1

5.数字实验箱

6.数字式万用表

7.双踪示波器

实验中使用的 74LS86、74LS00、74LS54 和 74LS04 芯片管脚排列图参见 7.4 节。

三. 实验原理

通过实验测试的方法，分析未知电路的逻辑功能和存在的问题、验证所设计的新电路是否满足要求。

待测试组合电路是基于给定的门电路来实现的。在分析与设计过程中，应考虑化简方法。

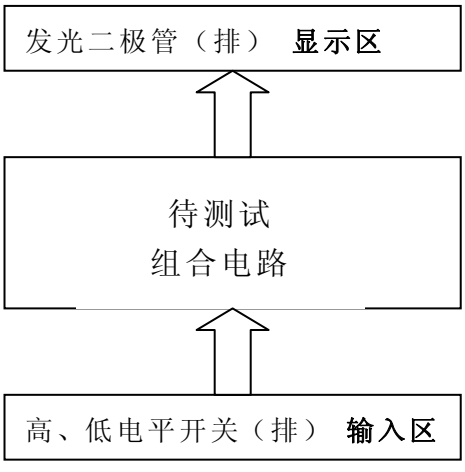


图 6-9　实验原理图

1．8421 码对 9 的变补器

8421 码对 9 的变补器的输入为 8421BCD 码：$X_8X_4X_2X_1$，电路的输出为 $Z_8Z_4Z_2Z_1$，其功能满足函数关系：$Z_8Z_4Z_2Z_1 = 1001 - X_8X_4X_2X_1$

按照解决具有约束的逻辑函数的设计方法，求出 Z_8、Z_4、Z_2、Z_1 的简化与或式，再根据本实验给定的门电路的功能、规格和数量转换出相应的函数式，画出电路图。

通过实验的方式，对此设计加以验证。

2．多功能逻辑运算电路

对应于不同的控制，电路的输出 F 与输入 A、B 之间的逻辑关系，可分别是 AB、A+B、$\overline{A \oplus B}$、1、$\overline{AB}$、$\overline{A+B}$、$A \oplus B$、0，即电路可以分别实现八种逻辑功能。

按照相关的设计方法和本实验给定的门电路的功能、规格和数量，完成设计，求出 F 的简化函数式。并通过实验，加以验证。

四. 实验内容及步骤

1.测试组合电路的逻辑功能

(1)按 74LS54、74LS86 和 74LS04 的管脚排列图及电路图 6-10 的要求连线。

(2)按下面表格 6-5 中输入逻辑值的要求，在相应端施加高、低电平（V_{IH}=5V，V_{IL}=0V），记录下用发光二极管显示的输出逻辑值。

(3)根据表格内的数据，判断电路是否完成了一位全加器的功能。

(4)能否用全加器进行半加运算，输入端如何处理？

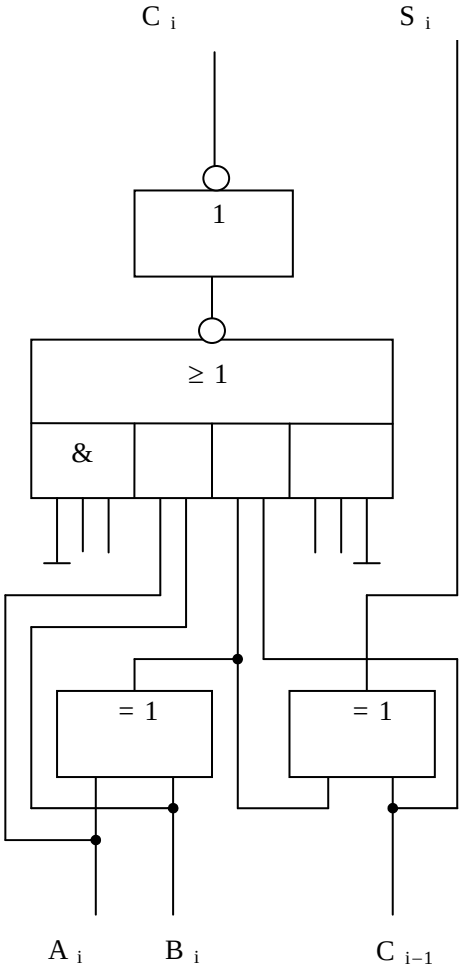


图 6-10　电路图

表 6-5

A_i	B_i	C_{i-1}	C_i	S_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

2.设计并测试组合电路的功能

(1)一位 8421 码对 9 的变补器

（要求：$Z_8Z_4Z_2Z_1$**= 9 –** $X_8X_4X_2X_1$ ）。

①根据题目要求和本实验给定的器件 74LS54、74LS86、74LS04 设计变补器。

②按设计结果连线，检查无误后通电测试。

③将测试结果记录于表格 6-6 中，判断是否符合题目的设计要求。

表 6-6

$X_8X_4X_2X_1$	$Z_8Z_4Z_2Z_1$
0 0 0 0	
0 0 0 1	
0 0 1 0	
0 0 1 1	
0 1 0 0	
0 1 0 1	
0 1 1 0	
0 1 1 1	
1 0 0 0	
1 0 0 1	

(2) 多功能逻辑运算电路

(要求：分别实现 AB、A+B、$\overline{A \oplus B}$、1、$\overline{AB}$、$\overline{A+B}$、$A \oplus B$、0)

学生自拟实验步骤，完成电路的设计与测试。

3.观察并消除组合电路的险象

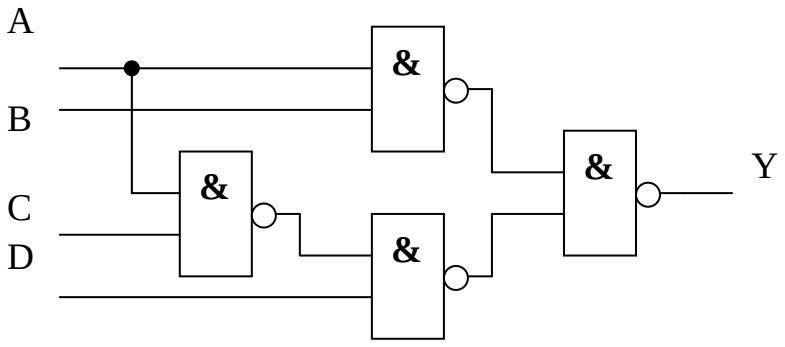


图 6-11　　电路图

(1)按 74LS00 的管脚排列图及电路图 6-11 的要求连线。

(2)将输入端 A 连到实验箱上的一个连续脉冲输出插孔中，选择 200kHz 左右的频率。其余输入端施加高、低电平（V_{IH}=5V，V_{IL}=0V）。

(3)提供不同的 B、C、D 逻辑值，用双踪示波器观察输入 A 和输出 Y 的波形。

(4)设法消除险象，仍用双踪示波器观察输入 A 和输出 Y 的波形。

五. 实验报告及思考题

1.写出设计过程，画出实验电路图。

2.整理测试数据，按各题表格的要求填写测试数据。

3.分析测试结果（错误的原因及解决措施）。

4.如何快速判断电路的故障？

5.如何快速测出组合电路的险象？

实验三　　触发器的测试

一. 实验目的

1.掌握由门电路构成的基本 RS 触发器功能的测试方法。

2.掌握集成 D 触发器、集成 JK 触发器功能的测试及使用方法。

二. 实验仪器及器件

1.四 2 入与非门　　74LS00×1

2.双 D 触发器　　74LS74×2

3.双 JK 触发器　　74LS76×1

4.数字式万用表

5.双踪示波器

6.数字实验箱

实验中使用的 74LS00、74LS74 和 74LS76 芯片管脚排列图参见 7.4 节。

三. 实验原理

根据实验内容，对被测触发器提供相应的输入信号（高/低电位、连续脉冲信号），采取相应的测试方式完成待测内容，记录测试结果（电压值、逻辑值和波形图）。通过外部的简单测试，了解被测各触发器的逻辑功能、动作特点、正确的使用方法及简单的应用。

四. 实验内容及步骤

1.基本 RS 触发器功能的测试

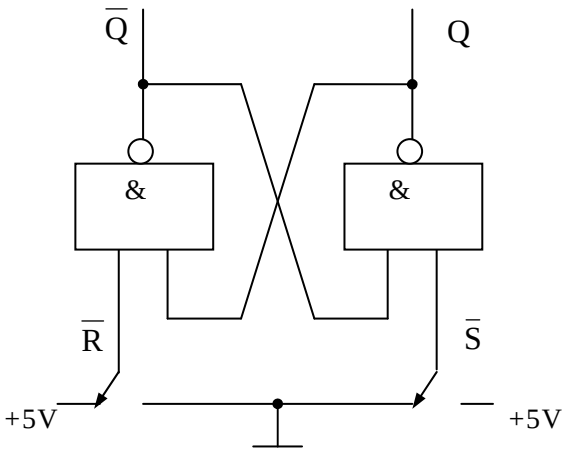


图 6-12　　电路图

(1)按 74LS00 的管脚排列图及电路图 6-12 的要求连线。

(2)按下面表格 6-7 中输入逻辑值的要求，在相应端施加高、低电平（V_{IH}=5V，V_{IL}=0V），记录下用万用表测量的输出电压值。

(3)观察并理解触发器的状态不定。

表 6-7

$\overline{R}$ $\overline{S}$	$\overline{R}\overline{S}$ 作用中		$\overline{R}\overline{S}$ 作用后		触发器状态
	Q (V)	$\overline{Q}$ (V)	Q (V)	$\overline{Q}$ (V)	
0 1					
1 0					
1 1					
0 0					

2.集成 D 触发器功能的测试

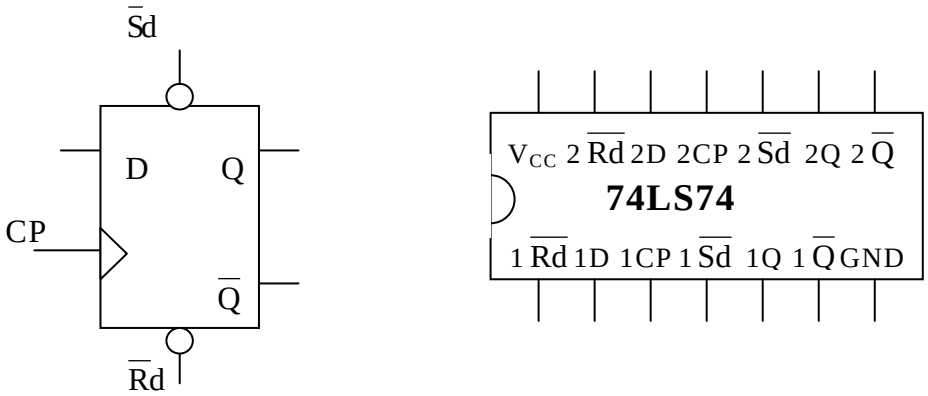


图 6-13　参照图

(1)复位和置位功能的测试

①按参照图 6-13 及测试要求进行连线。

②按下面表格 6-8 中输入端的内容要求，在相应端施加高、低电平（V_{IH}=5V，V_{IL}=0V）和点动脉冲。

③记录下用发光二极管显示的输出逻辑值。

表 6-8

$\overline{R}_d$	0	0	1	1	1	0	1	1	1
$\overline{S}_d$	1	1	1	0	0	1	1	0	1
CP	0	⊓	0	0	⊓	1	1	1	1
D	1	1	0	0	0	1	1	0	0
Q^{n+1}									
$\overline{Q}^{n+1}$									

(2)逻辑功能的测试

①利用强迫置位端和强迫复位端将 D 触发器置初态。

②将强迫置位端和强迫复位端均恢复至高电平（+5V）。

③按表格 6-9 中提供的内容施加 D、CP，观察时钟脉冲 CP 作用前后，触发器的状态 Q 和触发信号 D 之间的关系,将结果填入表中。

④观察时钟脉冲 CP 的哪个边沿起触发作用。

表 6-9

D	0			1		
CP / 状态	0	⊓	⊓	0	⊓	⊓
Q^n	1			0		
Q^{n+1}						

(3)触发器的功能转换

①将 D 触发器转换为 T′ 触发器。

②按设计的转换结果和 74LS74 的管脚排列图进行电路图的连线,并将 Q 端接至发光二极管。

③输入点动脉冲 CP，观察发光二极管显示的 Q 状态及变化次数，将结果填入表 6-10 中。

表 6-10

CP	0	⎍	⎍	⎍	⎍
Q					
翻转次序号					

3.集成 JK 触发器功能的测试

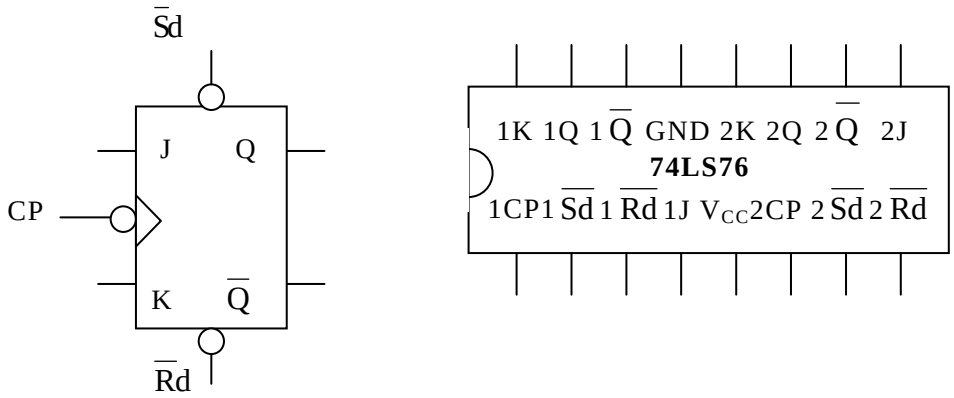


图 6-14　参照图

(1)复位和置位功能的测试

①按参照图 6-14 及测试要求进行连线。

②按下面表格 6-11 中输入端的内容要求，在相应端施加高、低电平（V_{IH}=5V，V_{IL}=0V）和点动脉冲。

③记录下用发光二极管显示的输出逻辑值。

表 6-11

CP	J	K	$\overline{Rd}$	$\overline{Sd}$	Q
0	1	ϕ	0	1	
1	ϕ	1	1	0	
⎍	1	ϕ	0	1	

(2)逻辑功能的测试

①利用强迫置位端和强迫复位端，将 JK 触发器置初态。

②将强迫置位端和强迫复位端均恢复至高电平（+5V）。

③按表格中提供的内容施加 J、K、CP，观察时钟脉冲 CP 作用前后，触发器的状

态 Q 和触发信号 JK 之间的关系，将结果填入表 6-12 中。

④观察时钟脉冲 CP 的哪个边沿起触发作用。

表 6-12

CP	0	↑	↓	0	↑	↓	0	↑	↓	0	↑	↓
J	0	0	0	0	0	0	1	1	1	1	1	1
K	0	0	0	1	1	1	0	0	0	1	1	1
Q_0=1: Q^{n+1}												
Q_0=0: Q^{n+1}												

4.触发器波形的测试

(1) 用示波器观察图 6-15 的 Q0、Q1 的波形及相位关系，并在图 6-16 中记录下来。

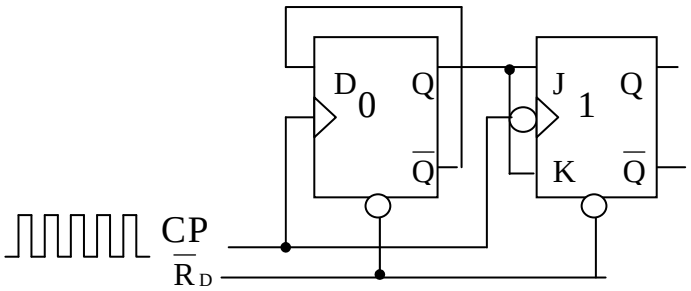
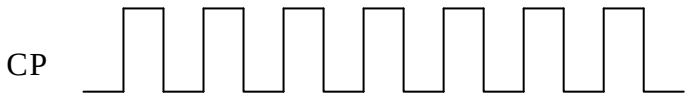


图 6-15 电路图



Q_0

图 6-16 波形图

(2) 用示波器观察图 6-17 的 Q0~Q3 的波形及相位关系，并在图 6-18 中记录下来。

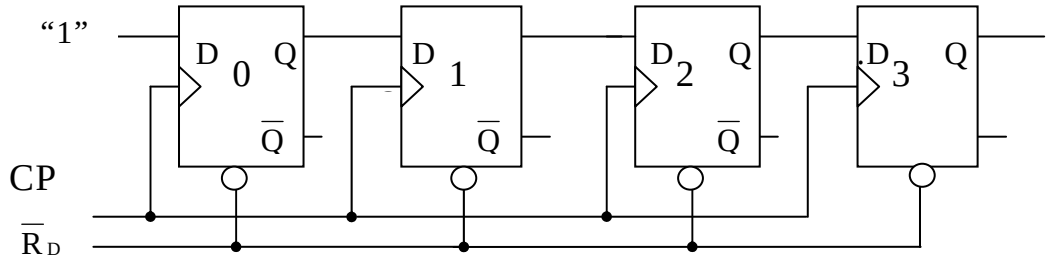
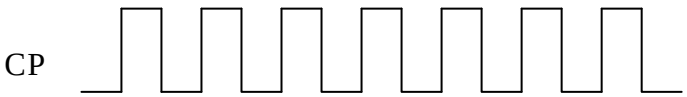


图 6-17 电路图



Q_0

Q_1

Q_2

图 6-18 波形图

五. **实验报告及思考题**

六. 1.整理数据，按各题表格的要求填写测试数据、记录测试波形。

2.分析测试结果（触发方式、动作特点，错误的原因及解决措施）。

3.CP 和 Q 之间频率有何关系？

4.如何理解基本 RS 触发器的状态不定？

实验四　同步时序电路(SSI)

一. 实验目的

1.掌握由触发器构成同步时序电路的功能测试方法。

2.掌握时序电路的波形测试方法。

二. 实验仪器及器件

1.四 2 入与非门　　74LS00×1

2.四 2 入与门　　74LS08×1

3.六非门　　74LS04×1

4.双 D 触发器　　74LS74×1

5.双 JK 触发器　　74LS76×2

6.数字式万用表

7.双踪示波器

8.数字实验箱

实验中使用的 74LS00、74LS08、74LS04、74LS74 和 74LS76 芯片管脚排列图参见 7.4 节。

三. 实验原理

通过实验测试的方法，验证所设计的新电路是否满足要求、分析未知电路的逻辑功能和存在的问题。

待测试的同步时序电路是基于给定的门电路和触发器来实现的。在分析与设计过程中，应考虑化简方法、统一的 CP 脉冲源和自启动问题。

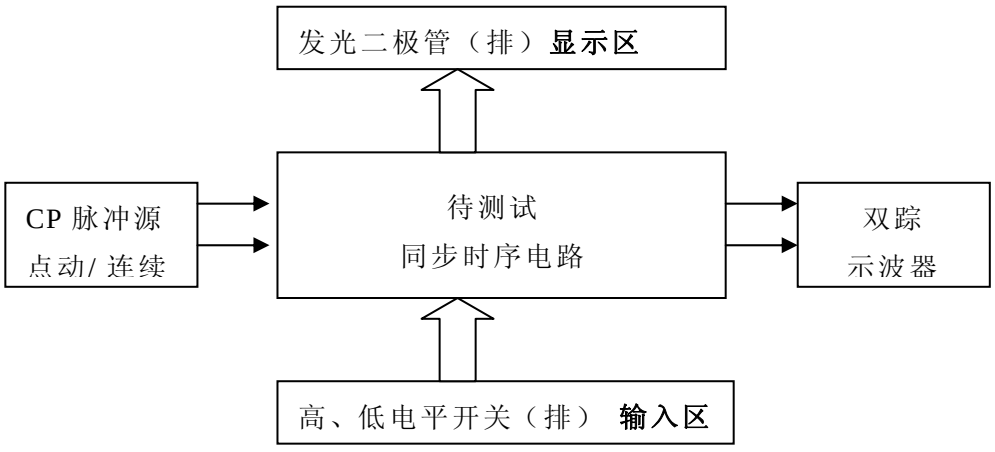


图 6-19　实验原理图

四. 实验内容及步骤

1.设计并测试同步六进制计数器

(1)利用 JK 触发器 74LS76 和给定的门电路设计同步六进制计数器，并具有总清零控制。

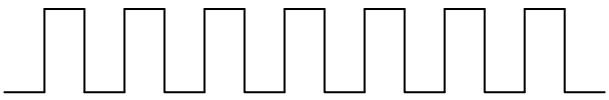
(2)根据设计结果，在实验箱上进行连线，将计数器的状态、进位输出连接至发光二极管。输入点动脉冲 CP，逐个观察计数状态，并将结果填入表 6-13 中。

(3)利用计数器各位的强迫置位端 $\overline{Sd}$，人为置入无效状态，输入点动脉冲 CP，观察计数器能否自启动。

(4)输入 100Hz 连续脉冲 CP，利用双踪示波器观察各触发器 Q 端的波形及各波形间的相位关系，判断时序过程是否满足设计要求，并在图 6-20 中记录下来示波器所显示的波形。

表 6-13

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	
0 0 1	
0 1 0	
0 1 1	
1 0 0	
1 0 1	
1 1 0	
1 1 1	

CP 

Q_0

Q_1

Q_2

图 6-20　波形图

2.设计并测试同步“101”（不可重叠）序列检测器

(1)利用 D 触发器 74LS74 和给定的门电路设计同步“101”（不可重叠）序列检测器，并具有总清零控制。

(2)学生自拟实验步骤，完成设计电路的测试。

3.测试并判断电路的逻辑功能

已知电路的设计结果:

$$J_0=K_0=1$$

$$J_1=K_1=Q_0$$

$$J_2=K_2=Q_1Q_0$$

$$J_3=K_3=Q_2Q_1Q_0$$

$$Z=Q_3Q_2Q_1Q_0$$

(1)根据给定的设计结果及器件进行连线。

(2)输入点动脉冲 CP，逐个观察各触发器的状态及输出 Z，并将结果填入表 6-14 中。

(3)根据测试结果，判断电路的逻辑功能。

(4)输入连续脉冲 CP，利用双踪示波器观察各触发器 Q 端及 Z 端的输出波形。

表 6-14

$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	Z
0 0 0 0		
0 0 0 1		
0 0 1 0		
0 0 1 1		
0 1 0 0		
0 1 0 1		
0 1 1 0		
0 1 1 1		
1 0 0 0		
1 0 0 1		
1 0 1 0		
1 0 1 1		
1 1 0 0		
1 1 0 1		
1 1 1 0		
1 1 1 1		

五. 实验报告及思考题

1.写出设计过程，画出实验电路图。

2.整理测试数据，按各题表格的要求填写数据、记录测试波形。

3.分析测试结果（动作特点、时序关系、错误的原因及解决措施）。

4.CP 和 Q 之间的关系？

5.如何理解序列的检测输出与 CP 的对应关系？

实验五　组合电路(MSI)

一. 实验目的

1.掌握常用中规模集成电路的应用与正确使用方法。

2.掌握由中规模集成电路构成的数字电路的测试方法。

3.掌握数字电路的合理布线方法。

二. 实验仪器及器件

1. 4 位全加器　74LS283 ×1

2. 1/8 数据选择器　74LS151 ×1

3. 4_16 线译码器（低电平输出）　74LS154 ×1

4. 三 3 入与非门　74LS10 ×1

5. 数字式万用表

6. 数字实验箱

实验中使用的 74LS283、74LS151、74LS154 和 74LS10 芯片管脚排列图参见 7.4 节。

三. 实验原理

通过实验测试的方法，验证所设计的新电路是否满足要求、分析未知电路的逻辑功能和存在的问题。

待测试的组合电路是基于给定的中规模功能器件来实现的。在分析与设计过程中，应考虑端口对应的方法（利用功能器件进行二次设计）。

1.用译码器和与非门实现非法码的报警电路

任何组合电路都具有最小项之和的表达形式，利用 4_16 线译码器(低电平输出有效)和与非门可完全描述任何组合电路的函数式，因而可方便的实现组合电路。

非法码的报警电路是对 8421BCD 编码方案中的六个非法码输入时的报警电路。电路有 4 个输入 ABCD，一个输出 F。根据电路的功能，求出其最小项之和表达式，对应出用 4_16 线译码器(低电平输出有效)和与非门描述的形式，则完成设计。

2.利用全加器实现 8421 码转换为余 3 码的代码转换器

因为 8421 码为有权码，其权值与余权码相差固定常数，因此利用全加器可方便的实现代码的转换。

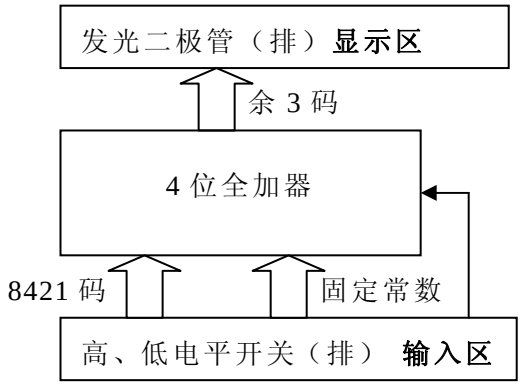


图 6-21 代码转换器

3.利用数据选择器实现四人表决器

任何组合电路都具有最小项之和的表达形式，与数据选择器的函数式的形式一致，因而可方便的实现组合电路。

表决器有 4 个输入 ABCD，根据表决器功能，求得其最小项之和表达式，再通过变量分离，确定通道选择端的输入量和数据端的输入量，则完成设计。

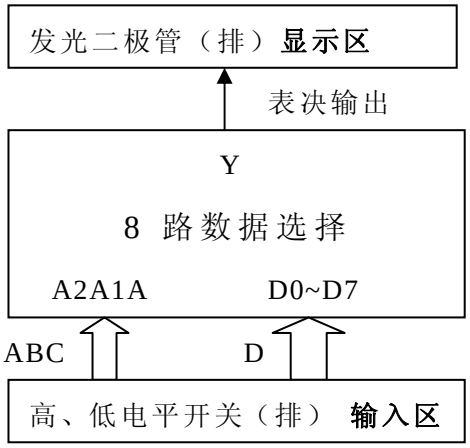


图 6-22　表决器原理图

四. 实验内容及步骤

1.设计并测试 8421BCD 的非法码报警电路

(1)根据设计要求及给定的 4_16 线译码器(低电平输出有效)和与非门，设计出 8421BCD 的非法码报警电路的逻辑图，并转化为对应于给定器件 74LS154 和 74LS10 的连线图。

(2)按照连线图进行连线。将电路的输入接至高、低电平输出插孔，将电路的输出接至发光二极管。

(3)输入 8421BCD 码和六个非法码，观察发光二极管显示的结果，并记录表格 6-15 中要求的测试结果。

表 6-15

$B_8B_4B_2B_1$	F
0 0 0 0	
0 0 1 1	
0 1 1 0	
1 0 0 1	
1 0 1 0	
1 0 1 1	
1 1 0 0	
1 1 0 1	
1 1 1 0	
1 1 1 1	

2. 设计并测试 8421 码转换为余 3 码的代码转换电路

(1)根据设计要求及给定的 4 位全加器，设计代码转换器的逻辑图，并转化为对应于 74LS283 的连线图。

(2)按照连线图进行连线，将电路的输入接至高、低电平输出插孔，将电路的输出接至发光二极管。

(3)输入 8421 代码，观察发光二极管显示的转换结果（余 3 码），并记录到表格 6-16 中。

表 6-16

$B_8B_4B_2B_1$	$Y_3Y_2Y_1Y_0$
0 0 0 0	
0 0 0 1	
0 0 1 0	
0 0 1 1	
0 1 0 0	
0 1 0 1	
0 1 1 0	
0 1 1 1	
1 0 0 0	
1 0 0 1	

3. 设计并测试四人表决电路

(1)根据设计要求及给定的 1/8 数据选择器，设计四人表决器输出函数的最小项之和式及逻辑图，并转化为对应于 74LS151 的连线图。

(2)按照连线图进行连线，将电路的输入接至高、低电平输出插孔，将电路的输出接至发光二极管。

(3)输入四人的表决代码，观察发光二极管显示的表决结果，并记录到表格 6-17 中。

表 6-17

A B C D	Z
0 0 0 0	
0 0 0 1	
0 0 1 0	
0 0 1 1	
0 1 0 0	
0 1 0 1	
0 1 1 0	
0 1 1 1	
1 0 0 0	
1 0 0 1	
1 0 1 0	
1 0 1 1	
1 1 0 0	
1 1 0 1	
1 1 1 0	
1 1 1 1	

五. 实验报告及思考题

1.写出设计过程，画出实验电路图。

2.整理测试数据，按各题表格的要求填写测试数据。

3.分析测试结果（错误的原因及解决措施）。

4.如何利用中规模集成电路进行二次开发？

5.如何实现余 3 码转换为 8421 码的代码转换器？

实验六　时序电路(MSI)

一. 实验目的

1.掌握常用中规模集成电路的应用及正确的使用方法。

2.掌握由中规模集成电路构成的数字电路的测试方法。

3.掌握数字电路的合理布线方法。

二. 实验仪器及器件

1.四 2 入与门　　C4081×1、74LS08×2

2.四 2 入或门　　74LS32×1

3.双十进制计数器　　C4518×1

4. 4 位数值比较器　　C4585×2

5. 4 位通用移位寄存器　　74LS194×2

6. 4-16 线译码器　　74LS154×1

7. BCD_7 段译码器　　74LS48×2

8. 数字式万用表

9. 双踪示波器

10.数字实验箱

实验中使用的 C4081、74LS08、74LS32、C4518、C4585、74LS194、74LS154 和 74LS48 芯片管脚排列图参见 7.4 节。

三.实验原理

通过实验测试的方法，验证所设计的新电路是否满足要求、分析未知电路的逻辑功能和存在的问题。

待测试的时序电路是基于给定的中规模功能器件来实现的。在分析与设计过程中，应考虑端口对应的方法（利用功能器件进行二次设计）。

计数器可用来计数、分频、定时和运算。

寄存器可用来存数、计数、辅助运算、串/并变换和产生序列。

1.同步 24 进制计数/译码/显示电路的原理框图

利用常用集成十进制计数器构建任意进制计数器，参考原理框图和本实验给定的器件，分步进行设计。

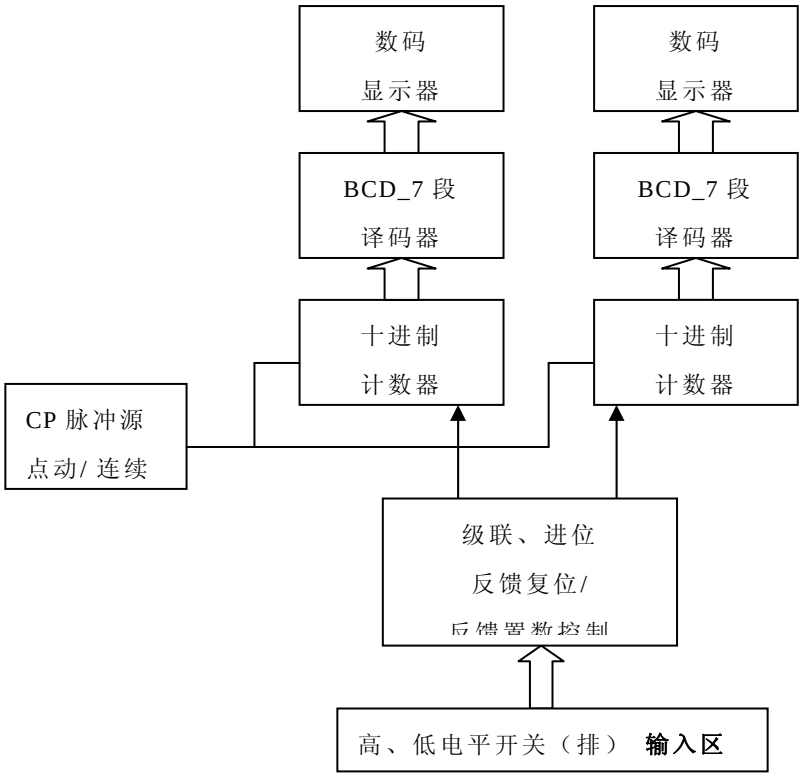


图 6-23　同步计数/译码/显示原理

2.同步 24 进制计数/译码/显示/闹时电路的原理框图

利用计时器和数值比较器实现闹时功能，参考原理框图和本实验给定的器件，分步进行设计。

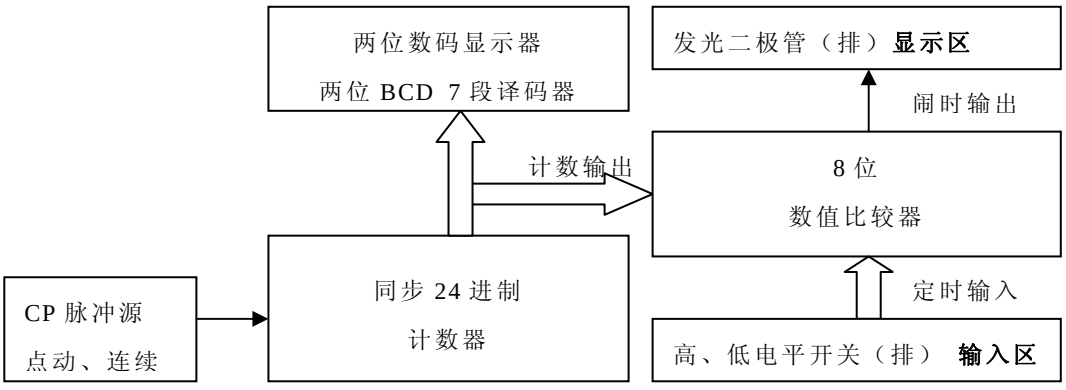


图 6-24　计数/闹时原理图

3. 彩灯控制显示电路的原理框图

利用通用移位寄存器功能实现彩灯控制显示电路，参考原理框图和本实验给定的器件，分步进行设计。

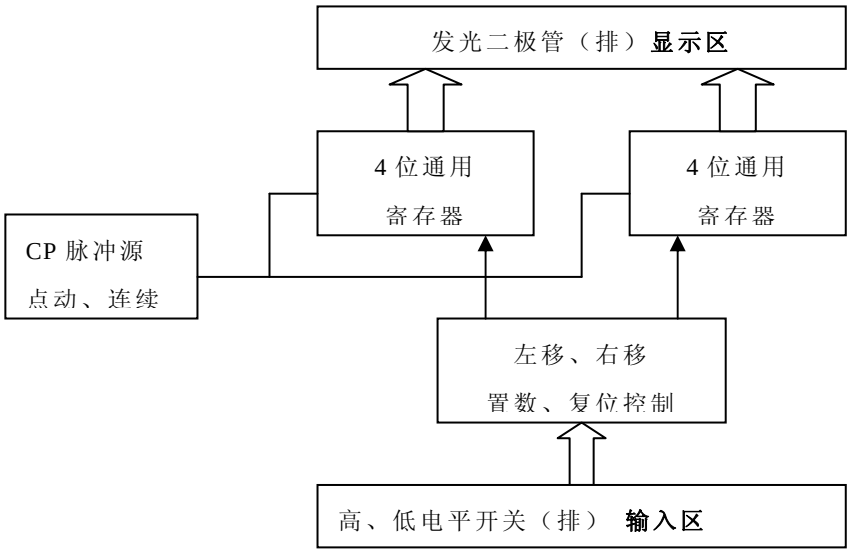


图 6-25　　彩灯控制原理图

四.实验内容及步骤

1.设计并测试同步 24 进制计数/译码/显示电路

(1)利用反馈复位法，设计同步 24 进制计数器，结合 C4518 的功能表，确定级联、复位和进位表达式。并转化为对应于给定器件双十进制计数器 C4518 和译码/显示器的连线图（译码/显示部分由实验箱直接提供）。

(2)按照连线图进行连线。

(3)输入点动脉冲 CP，逐个观察数码显示器显示的计数数值，循环内容及进位周期。

(4)输入 1Hz 连续脉冲 CP，观察数码显示器连续显示的循环内容。

2.设计并测试同步 24 进制计数/译码/显示/闹时电路

(1)在上题设计电路的基础上，增加定时比较的功能，可定时值为 8~20。根据设计要求，设计出同步 24 进制计数/译码/显示/闹时电路的逻辑图，并转化为对应于给定器件双十进制计数器 C4518、4 位数值比较器 C4585 和译码/显示器的连线图（译码/显示部分由实验箱直接提供）。

(2)按照连线图进行连线。

(3)设置定时值为 8、10、12、20，输入点动脉冲 CP，观察数码显示器的显示值及闹时输出。

(4)输入 1Hz 连续脉冲 CP，观察数码显示器连续的显示内容及闹时输出。

3. 通用移位寄存器 74LS194 的功能测试

Cr、S_1、S_0、S_R、S_L、D_0、D_1、D_2、D_3、CP 端按表格 6-18 中的要求输入，记录下发光二极管显示的 Q_0、Q_1、Q_2、Q_3 的状态。

表 6-18

74LS194 输 入 端									输 出 端			
$\overline{Cr}$	S_1	S_0	S_R	S_L	D_0	D_1	D_2	D_3	CP	Q_0	Q_1	Q_2	Q_3
0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ				
1	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0				
1	0	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	1	1	ϕ	ϕ	1	0	0	0	⎍				
1	0	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	0	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	0	1	0	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	0	1	Q_3	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	0	1	Q_3	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	0	1	Q_3	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	0	1	Q_3	ϕ	ϕ	ϕ	ϕ	ϕ	⎍				
1	1	0	ϕ	1	ϕ	ϕ	ϕ	ϕ	⎍				
1	1	0	ϕ	1	ϕ	ϕ	ϕ	ϕ	⎍				
1	1	1	ϕ	ϕ	1	0	1	0	⎍				

4.设计并测试彩灯控制显示电路

(1)根据设计要求，设计彩灯控制显示电路（可以显示 4 种图案），确定 Cr、S_1、S_0、S_R、S_L、D_0、D_1、D_2、D_3、CP 的逻辑控制，画出逻辑图，并转化为对应于给定器件 4 位通用移位寄存器 74LS194、74LS154、74LS08、74LS32 和 8 个发光二极管的连线图。

4 种显示图案为：

1100 1100	1100 0011	1000 0001	1010 1010
0110 0110	1001 1001	1100 0011	0101 0101
0011 0011	0011 1100	1110 0111	1010 1010
1001 1001	0110 0110	1111 1111	0101 0101

(2)按照连线图进行连线。

(3)输入点动脉冲 CP，逐个观察发光二极管的显示规律内容。

(4)输入 1Hz 连续脉冲 CP，观察发光二极管连续显示的内容。

五．实验报告及思考题

1.写出设计过程，画出实验电路图。

2.整理测试数据，按各题表格的要求填写测试数据、记录测试波形。

3.分析测试结果（动作特点、时序关系、错误的原因及解决措施）。

4.异步 24 进制计数电路又该如何实现？

5. TTL 器件和 CMOS 器件在混合使用中应如何处理？

实验七　　脉冲电路

一. 实验目的

1.掌握脉冲电路的参数选择及正确的使用方法。

2.掌握脉冲波形的测试方法。

3.了解各典型脉冲电路的组成和用途。

二. 实验仪器及器件

1.四 2 入与非门　　74LS00×1

2.六非门　　74LS04×1

3.集成 555 定时器　　NE555×1

4.数字式万用表

5.双踪示波器

6.数字实验箱

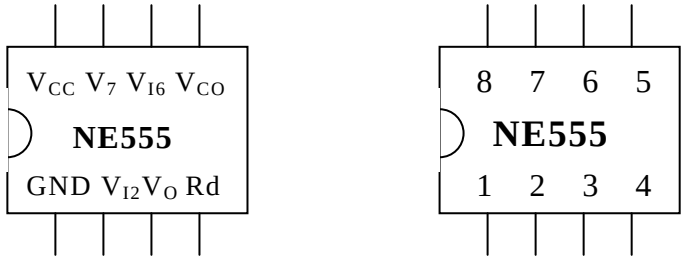


图 6-26　NE555 器件管脚

实验中使用的 74LS00 和 74LS04 芯片管脚排列图参见 7.4 节。

三.实验原理

1.由非门构成的 RC 环形多谐振荡器接通电源后，电路将在两个暂态之间往复转换，从而生成多谐振荡波形。实验中通过改变参数 R，可方便的达到控制振荡周期的目的。

2.由门电路构成的微分型单稳态电路，接通电源后，当未输入负触发脉冲时，电路处在稳态。负触发脉冲加入后，电路进入暂态。暂态持续的时间，由参数 RC 决定，可达到改变触发脉冲宽度的目的。

3. 集成 555 定时电路可构成单稳态电路、多谐振荡器和施密特电路，被广泛用于脉冲的产生、整形、定时和延时。由集成 555 定时电路构成多谐振荡器，当接通电源后，电路将在两个暂态之间往复转换，从而生成多谐振荡波形。实验中通过改变参数 R1、R2 和 C，可方便的达到控制振荡周期的目的。

四.实验内容及步骤

1.由门电路构成脉冲电路

(1) RC 环形多谐振荡器

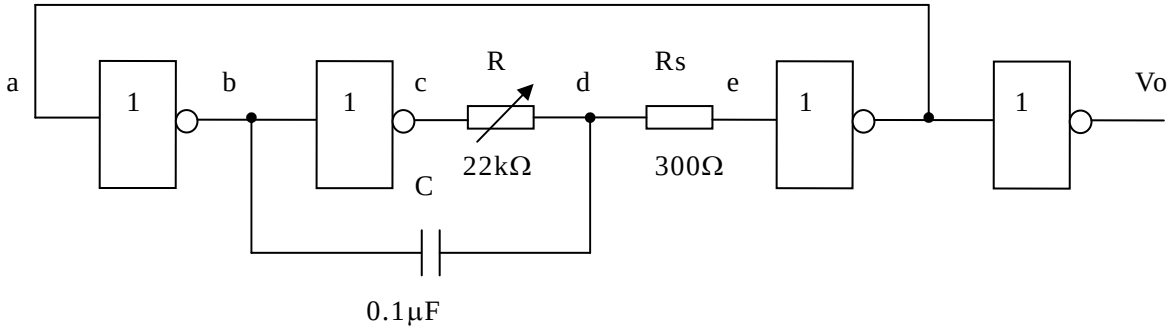


图 6-27　RC 环形振荡器电路

①按 74LS04 的管脚排列图及电路图 6-27 的要求连线。

②调节电位器 R，使 RC 环形多谐振荡器产生振荡，并用示波器监测输出结果。

③用双踪示波器依次观察 a、b、c、d、e 和输出 Vo 的波形，并在图 6-28 中记录下来。

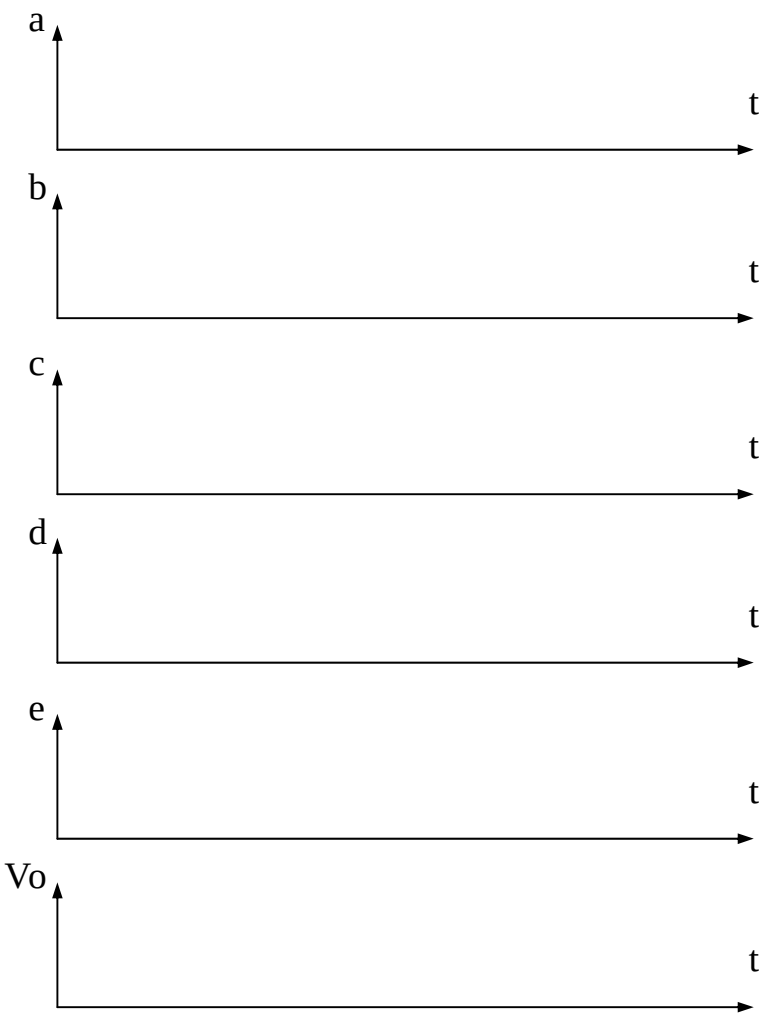


图 6-28 波形图

④改变电位器 R 的阻值，测量 RC 环形振荡器的频率变化范围，并将结果记录下来，并与理论估算值相比较，分析其产生偏差的主要原因。

当 R=（　　）时，　　fmax=（　　）；

当 R=（　　）时，　　fmin=（　　）。

(2)微分型单稳态电路

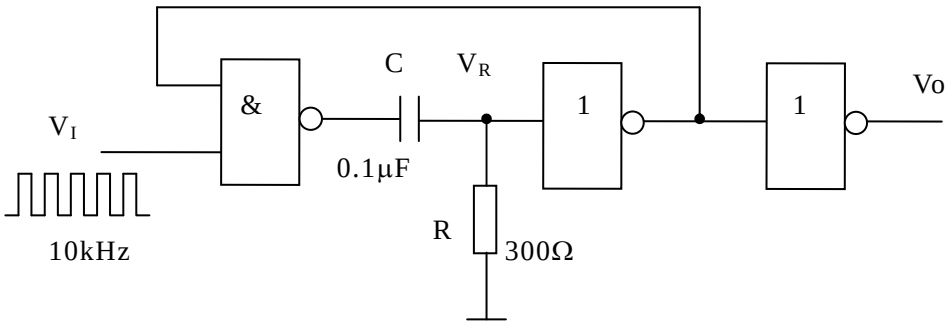


图 6-29　微分型单稳态电路图

①按 74LS04 和 74LS00 的管脚排列图及电路图 6-29 的要求连线。

②在 V_I 端输入 10kHz 左右的连续脉冲，用双踪示波器依次观察 V_I、V_R 和 V_O 的波形，并在图 6-30 中记录下来。

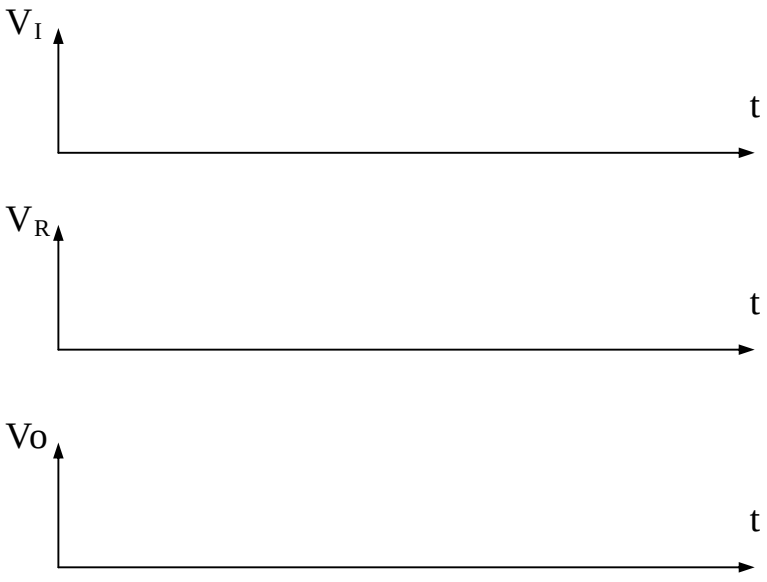


图 6-30 波形图

③测量输出脉冲的宽度 tw（延长时间），并与理论计算值相比较，分析产生误差的原因。

实测值 tw =（　　）　　理论计算值 tw =（　　）

2.由 555 定时器构成多谐振荡器

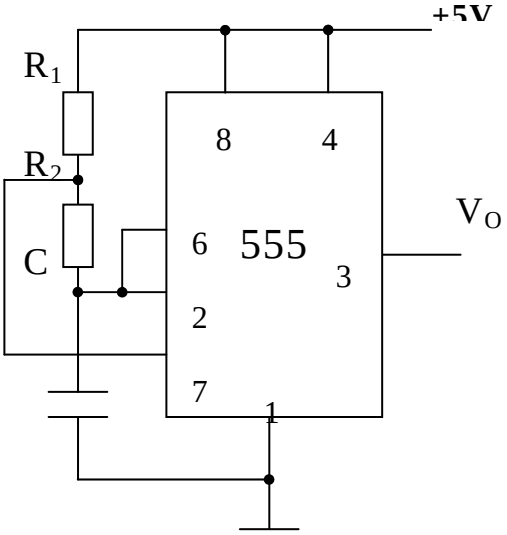


图 6-31　多谐振荡器电路图

(1)按集成 555 定时器的管脚排列图及电路图 6-31 的要求连线。

(2)用示波器观察多谐振荡器的 Vo 输出波形。

(3)按表格 6-19 中的参数调节电阻 R_2，用示波器测出相应的振荡频率，并记录下来。

(4)将实测值与理论计算值相比较，分析产生误差的原因。

表 6-19

R_1	R_2	C	f 理论计算值	f 实测值
1 kΩ	1 kΩ	0.1 μF		
3 kΩ	1 kΩ	0.1 μF		
5 kΩ	1 kΩ	0.1 μF		

五. 实验报告及思考题

1.整理测试数据，按各题表格的要求填写数据、记录测试波形。

2.分析测试结果（偏差、稳定性、错误的原因及解决措施）。

3.比较两种多谐振荡器频率的实测值与理论计算值，分析差异的主要原因？

4.如何利用示波器合理的测绘多个测试点的波形？

实验八　　A/D与D/A转换电路

一. 实验目的

1.掌握 A/D、D/A 转换电路的转换原理与测试方法。

2.掌握集成电路 ADC0809 和 DAC0832 的正确使用方法。

二. 实验仪器及器件

1.8 位 8 通道模数转换器　　ADC0809　×1

2.8 位数模转换器　　DAC0832　×1

3.运算放大器　　μA741　　×1

4.十六进制计数器　　74LS161　×2

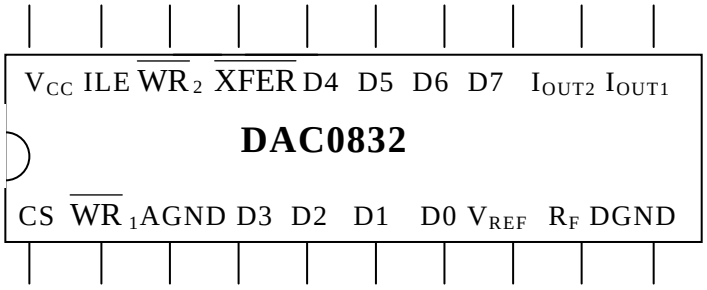
5.双 D 触发器　　74LS74　　×1

6.数字式万用表

7.数字实验箱

8.直流稳压电源

ADC0809、 DAC0832 和 μA741 器件管脚排列图及说明如图 6-32。



DAC0832 引脚功能如下：

D0~D7：数字信号输入端

I_{OUT1}、I_{OUT2}：求和电流输出端

V_{REF}：基准电压输入端

ILE：输入寄存器的锁存信号端

R_F：外接运放的反馈电阻引出端

$\overline{CS}$：片选端

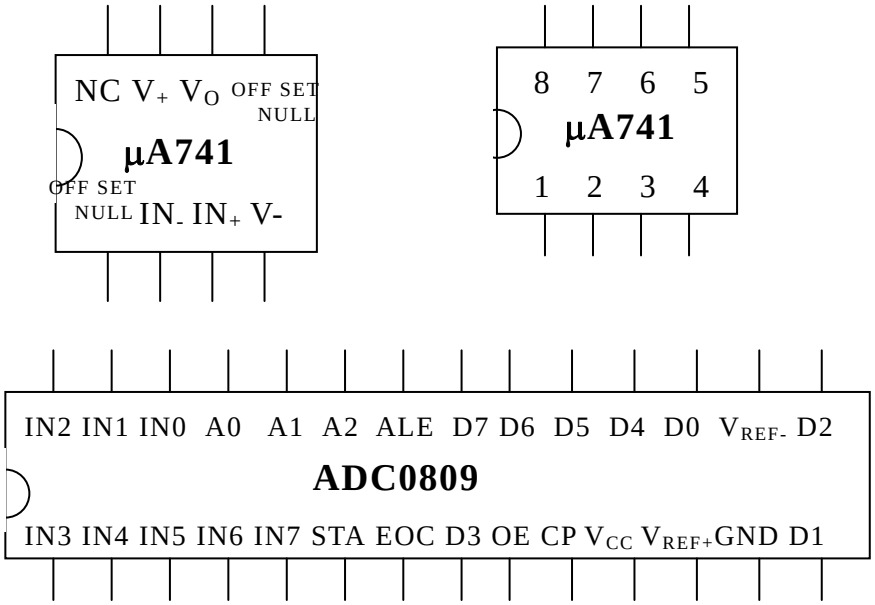
V_{CC}：电源输入端

AGND：模拟接地端

DGND：数字接地端

$\overline{WR_1}$、$\overline{WR2}$：输入控制端

$\overline{XFER}$：传送控制信号端



ADC0809 引脚功能如下：

IN0~IN7：8 路模拟信号输入端。

A2、A1、A0： 地址输入端。

ALE：地址锁存允许信号，正脉冲上升沿时，锁存地址码，选通相应的模拟信号通道，进行 A/D 转换。

STA：启动信号输入端，正脉冲上升沿时，内部寄存器清零，下降沿到达时开始进行 A/D 转换。

CP：时钟脉冲输入端，时钟频率一般为几百千赫。

V_{REF+}、V_{REF-}：正、负基准电压输入端， V_{REF+}接+5V、V_{REF-}接地。

EOC：转换结束输出信号，高电平有效。

OE：输出允许信号，高电平有效。

图 6-32 器件管脚排列图及说明

实验中使用的 74LS161 和 74LS74 芯片管脚排列图参见 7.4 节。

三．实验原理

利用 8 位倒 T 型电阻网络权电流型 DAC0832 实现数/模转换。通过提供不同的数字量 D0~D7，转换出 256 种的输出电压值 U_O。其理论值满足下列公式：

$$U_O = -\frac{R_F}{R} \times \frac{V_{REF}}{2^8} \times \sum_{i=0}^{7} (Di \times 2^i)$$

利用 8 位 8 通道逐次渐进型 ADC0809 实现模/数转换。通过对某一通道提供不同的输入电压值 U_I，转换出不同的数字量 D0~D7。

四．实验内容及步骤

1. D/A 转换

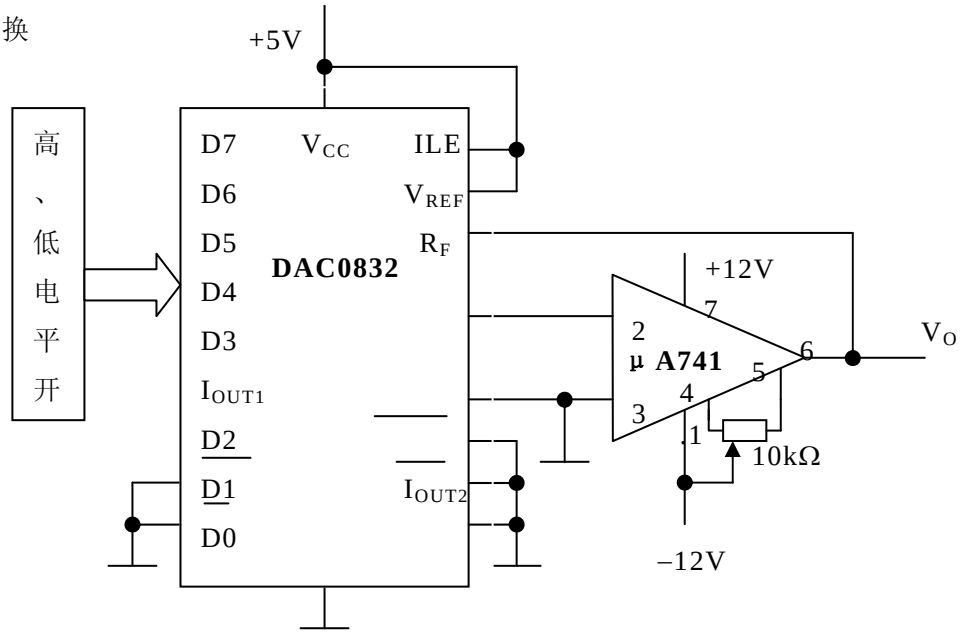


图 6-33　D/A 转换电路

(1) D/A 转换的静态功能测试

①按 DAC0832 的管脚排列图及电路图 6-33 的要求连线。将输入端 D7~D0 分别连到实验箱中的高/低电平输出插孔，拨动开关以提供高、低电平。工作电源端和地线端分别连到实验箱中的+5V 插孔和 GND 插孔。±12V 电源由稳压电源提供。

②调零:D0~D7 端全接地,调 10kΩ电位器,使 V_O=0。

③按下面表格 6-20 中输入数字量的要求,在相应端施加高、低电平(V_{IH}=5V,V_{IL}=0V),记录下用万用表测量的输出模拟电压值。

表 6-20

DAC0832 输入端								输出端
D7	D6	D5	D4	D3	D2	D1	D0	V_O
0	0	0	0	0	0	0	0	
0	0	0	0	0	0	0	1	
0	0	0	0	0	0	1	0	
0	0	0	0	0	1	0	0	
0	0	0	0	1	0	0	0	
0	0	0	1	0	0	0	0	
0	0	1	0	0	0	0	0	
0	1	0	0	0	0	0	0	
1	0	0	0	0	0	0	0	
1	0	0	0	0	0	0	1	
1	1	0	0	0	0	1	1	
1	1	0	0	1	0	1	1	
1	1	1	1	1	1	1	1	

(2)动态测试 D/A 转换

①用两片十六进制计数器 74LS161 的输出 Q0~Q7 提供为 DAC 的 D0~D7，计数器的 CP 为 200kHz。

②用示波器观察 D/A 转换的 Vo 输出波形，测量波形中每个阶梯的幅度和时间，并画出数/模转换波形。

2. A/D 转换

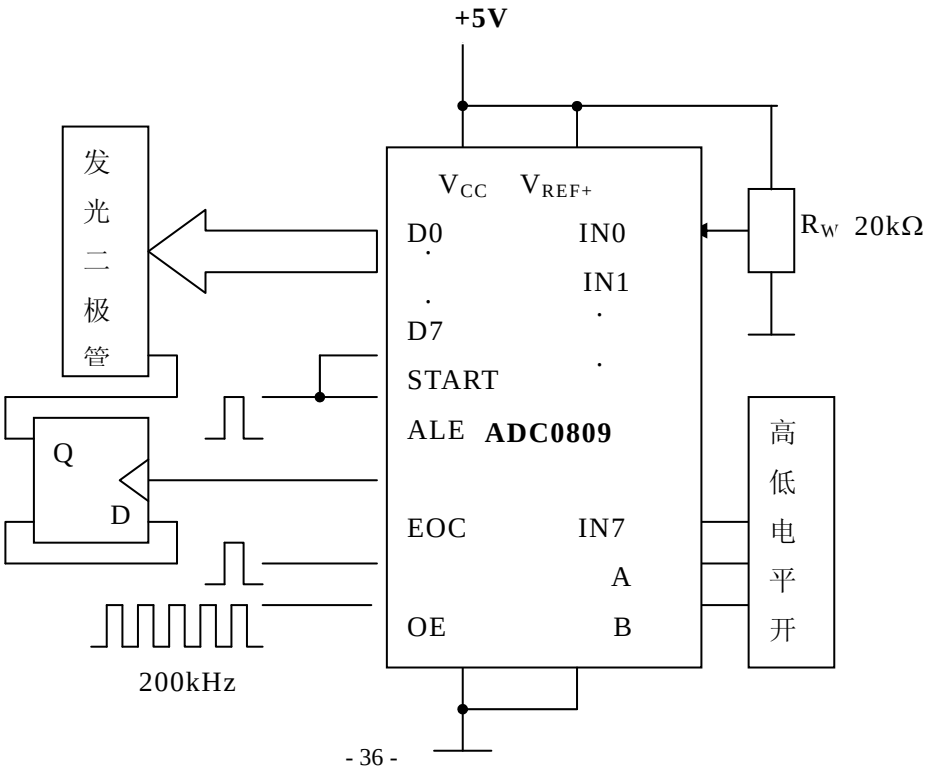


图 6-34 A / D 转换电路图

（1）A/D 转换的静态功能测试

①按 ADC0809 的管脚排列图及电路图 6-34 的要求连线。

②选择通道地址输入 ABC=000，以确定模拟信号 U_I 从 IN0 通道输入，数字量输出 D7~D0 分别连到实验箱中的发光二极管的输入插孔。工作电源端和地线端分别连到实验箱中的+5V 插孔和 GND 插孔。

③按下面表格 6-21 的要求，调节 20 kΩ电位器 R_W，在 START 和 ALE 端加点动单脉冲，监测 D 触发器的状态，发生变化，则转换完成。

④在 OE 端加点动单脉冲，观察发光二极管显示的数字量输出 D7~D0，记录下输出的数字量。

⑤画出 ADC 的转换曲线。

表 6-21

ADC0809　输入端	输出端
U_I (V)	D7 D6 D5 D4 D3 D2 D1 D0
0	
0.5	
1	
1.5	
2	
2.5	
3	
3.5	
4	

（2）动态测试 A/D 转换

①将 IN0 端接入三角波信号源（V_P=5V，f = 0.1Hz），OE 端接至高电平。

②观察发光二极管显示的数字量输出 D7~D0 的变化。

五．实验报告及思考题

1.整理数据，按各题表格的要求填写测试数据，画出转换曲线。

2.将测试数据与理论值相比较，分析转换误差与转换时间。

实验九　　虚拟实验

一. 实验目的

1.掌握 Multisim7 软件的正确操作方法。

2.掌握利用 Multisim7 虚拟实验室进行数字电路的设计与仿真的方法。

二. 实验仪器及器件

1.微机

2.Multisim7 软件

3.虚拟器件: 四 2 选 1 数据选择器　　74LS157 ×1

BCD_7 段译码器(低电平输出有效)　74LS47 ×2

十进制计数器　　74LS160×1

双 D 触发器　　74LS74×1

四 2 入与门　　74LS08 ×1

四 2 入与非门　　74LS00 ×1

六非门　　74LS04 ×2

4.虚拟仪器: 双踪示波器

逻辑分析仪

二. 实验原理

在 Multisim7 虚拟实验室中，利用 Multisim7 具有的用户界面直观、丰富的元器件库和仪器库、快捷的作图、仿真和分析功能的特点为资源，进行数字电路的设计与仿真，方便于对数字电路设计的验证与调试。

1. 两位分时译码显示电路的原理框图

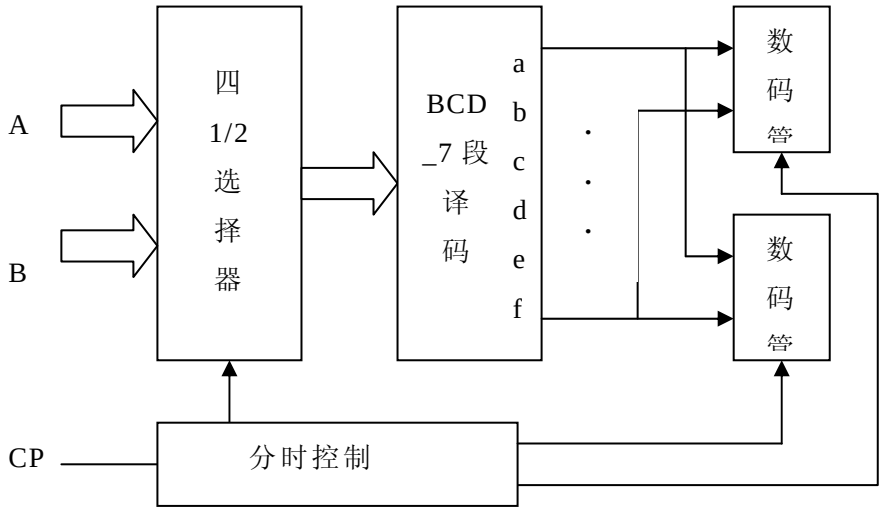


图 6-35　　分时译码显示电路原理图

2. 可控计数电路的原理框图

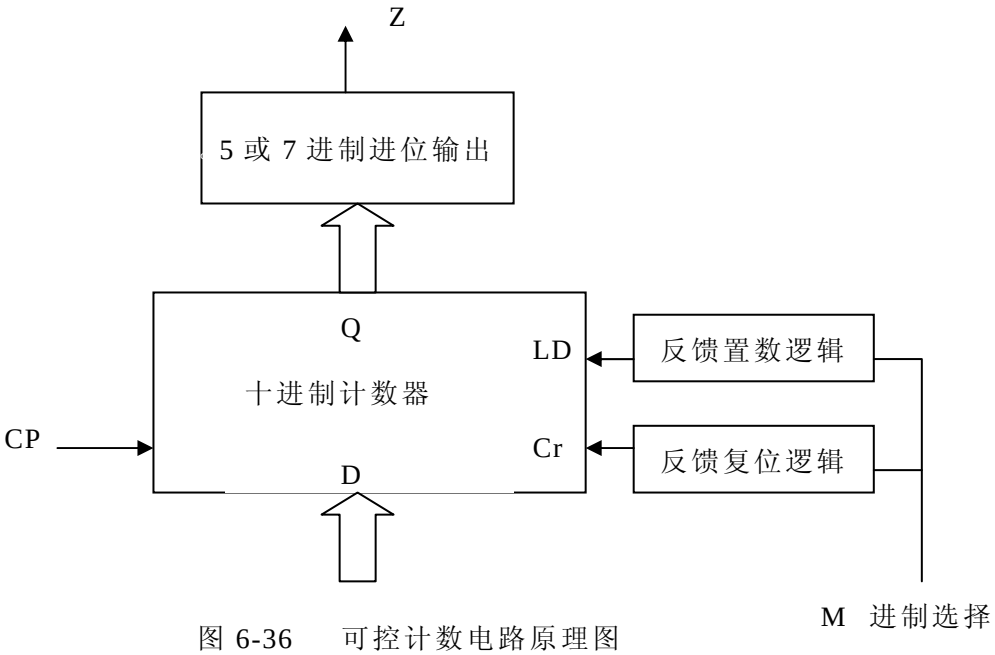


图 6-36　可控计数电路原理图

四. 实验内容及步骤

1. 举例：4 路脉冲分配器(约翰逊扭环形计数器/无冒险译码器)。

Multisim7 软件的使用参见第八章。

(1)根据所设计的 4 路脉冲分配器的电路图，在 Multisim 7 电路窗口中，选出所需的元、器件和仪器，如图 6-37。

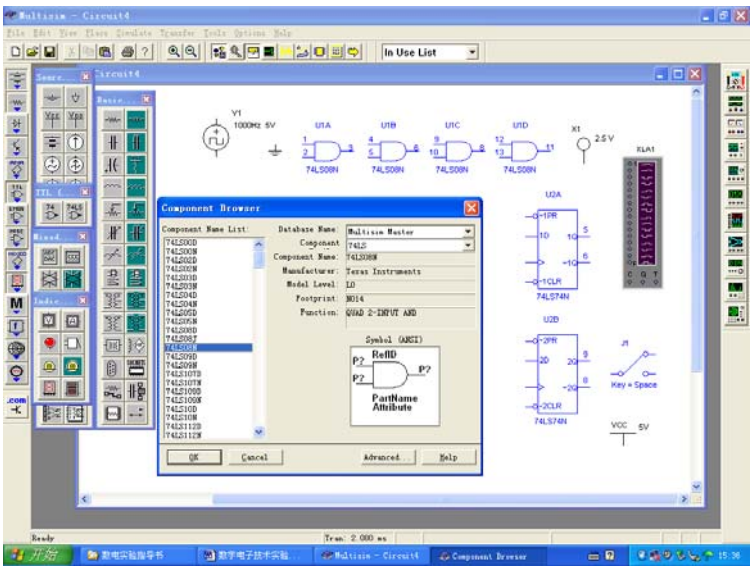


图 6-37 选择元器件

(2)按照所设计的 4 路脉冲分配器的电路图，在 Multisim 7 电路窗口中，完成对应的连线图。

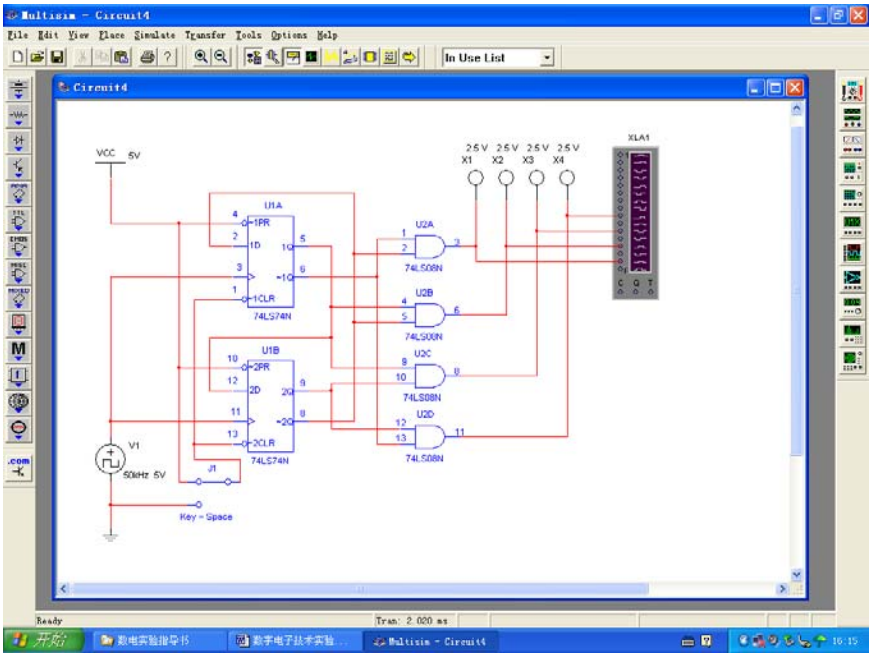


图 6-38　Multisim 7 电路窗口_4 路脉冲分配器

(3)仿真运行所设

计的 4 路脉冲分配器的电路，选择 CP 的频率为 50kHz，观察逻辑分析仪所显示的输入、输出波形。

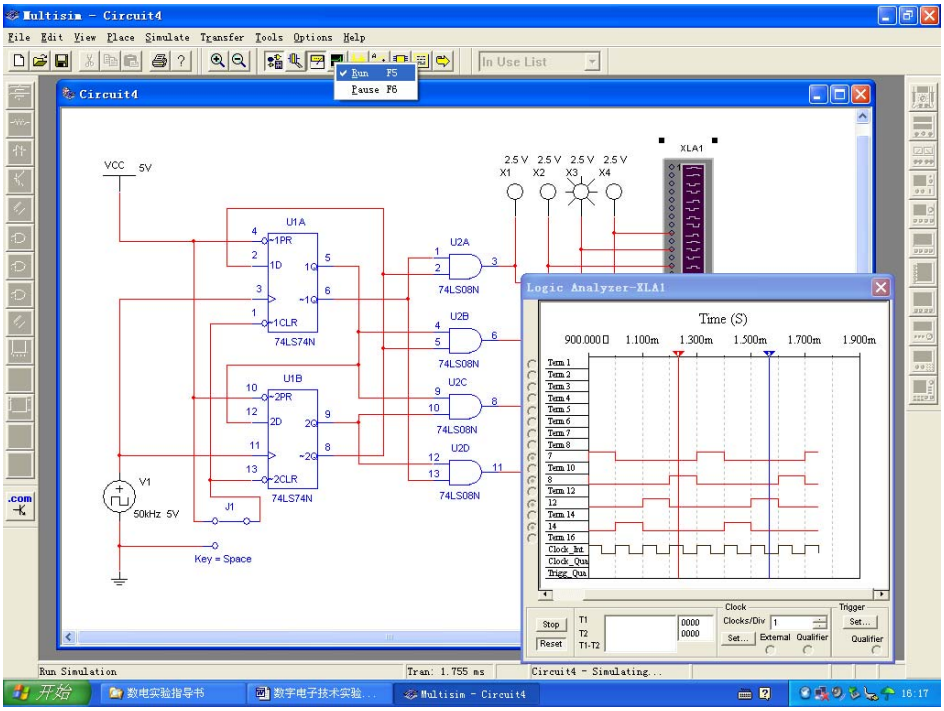


图 6-39　Multisim 7 电路窗口_4 路脉冲分配器的

(4)保存、整理电路文档资料（电路图、测试数据和波形图）。

2. 两位分时译码显示电路的设计与仿真测试

(1)根据设计原理框图的要求及给定的四 1/2 数据选择器 74LS157、BCD_7 段译码器 74LS47、数码管和辅助的门电路，设计出此电路的逻辑图。

(2)在 Multisim 7 电路窗口中创建两位分时译码显示电路。按照逻辑图，在虚拟元、器件库中选出所需元、器件，并完成对应的连线图。

(3)输入两个 8421BCD 码：A=0011，B=1001，选择 CP 的频率为 1Hz、50Hz、100 Hz、200 Hz，仿真运行，观察两个数码管显示的数值及显示间隔的变化。

(4)保存、整理电路文档资料（电路图和测试数据）。

3. 可控计数电路的设计与仿真测试

(1)根据设计原理框图及给定的十进制计数器 74LS160 和辅助的门电路，设计出反馈复位法实现的五进制计数和反馈置数法实现的七进制计数的可控计数器的逻辑图。

(2)在 Multisim 7 电路窗口中创建可控计数电路。按照逻辑图，在虚拟元件库中选出所需元件，并完成对应的连线图。

(3)输入不同的控制，仿真运行，观察发光二极管显示的进位输出情况，观察逻辑分析仪显示的波形情况。

(4)保存、整理电路文档资料（电路图、测试数据和波形图）。

五．实验报告及思考题

1.整理电路文档资料（电路图、测试数据和波形图）。

2.分析测试结果（功能、误差的原因、故障及解决措施）。

3.在 Multisim 7 电路窗口中创建由十六进制计数器 74LS163 和 16 选 1 数据选择器 74LS150 构成的“011010010100”序列发生器，并仿真验证其功能。