# 《通信原理》

# 实验指导书

北京工商大学计算机与信息工程学院

2013 年 3 月

# 通信原理实验箱使用说明

在通信原理综合实验系统中，各模块的功能实现，需初始化不同的 FPGA 程序与数字信号处理 DSP 程序，并对它们进行一定的管理。这些都是通过操作界面，让学生进行选择、控制。有关各模块功能与参数的详细论述请参阅附录 A。

在系统加电之后，系统按照上次关机前选择的模式进行初始化，在这期间 DSP+FPGA 模块中的初始化灯（DV01）熄灭。当初始化完成之后，初始化灯亮。在这之后大约经过 5 秒钟之后，完成相应模式参数的设置。

在这过程中，液晶显示器一直显示以下内容：

**通信原理实验**

完成初始化与参数设定后，液晶显示：

**调制方式选择**

之后，将等待学生的输入，学生按下复位键（除复位键外，其它键将不起作用），将进入前一次学生选择的界面。

学生通过上、下箭头键进行下列菜单的选择：

菜单 1：**调制方式选择**（该菜单上只有下箭头和右箭头起作用）

菜单 2：**FSK 传输系统**

菜单 3：**BPSK 传输系统**

菜单 4：**DBPSK 传输系统**

菜单 5：**输入数据选择**

菜单 6：**外部数据信号**

菜单 7：**全 1 码**

菜单 8：**全 0 码**

菜单 9：**0 / 1 码**

菜单 1 0：**特殊码序列**

菜单 1 1：**m 序列**

菜单 1 2：**工作方式选择**

菜单 1 3：**匹配滤波**

菜单 14：**ADPCM**

菜单 15：**PCM**（在该菜单上只有上箭头和左箭头起作用）

通过上下箭头，学生可以在菜单 1 到菜单 15 之间移动。对已选择的模式或参数的菜单打勾，否则显示小手。如要选择某一种模式，当移至该菜单时按确认键即可。

当学生可在菜单 2 到菜单 4 任一菜单上进行确认时，系统对学生选择的模式进行初始化，在这期间左边的初始化灯（DV01）熄灭。当初始化完成之后，初始化灯亮。在这之后大约经过 5 秒钟，完成相应模式参数的设置，并且在该菜单上打勾。

菜单 2－4 是调制方式选择；菜单 6－11 是输入数据选择；菜单 13 是一个复选菜单：第一次确认选择，第二次按确认则取消该参数的设置；菜单 14－15 是语音编码方式选择。

# 目　　录

实验一 AMI/HDB3 码型变换实验 ..... 1
实验二 FSK 传输系统实验 ..... 6
实验三 BPSK 传输系统实验 ..... 20
实验四 PCM 编译码器系统 ..... 38
附录 A　实验系统概述 ..... 44

# 实验一 AMI/HDB3 码型变换实验

## 一、实验原理和电路说明

AMI 码的全称是传号交替反转码。这是一种将消息代码 0（空号）和 1（传号）按如下规则进行编码的码：代码的 0 仍变换为传输码的 0，而把代码中的 1 交替地变换为传输码的 +1、–1、+1、–1…

由于 AMI 码的传号交替反转，故由它决定的基带信号将出现正负脉冲交替，而 0 电位保持不变的规律。由此看出，这种基带信号无直流成分，且只有很小的低频成分，因而它特别适宜在不允许这些成分通过的信道中传输。

由 AMI 码的编码规则看出，它已从一个二进制符号序列变成了一个三进制符号序列，即把一个二进制符号变换成一个三进制符号。把一个二进制符号变换成一个三进制符号所构成的码称为 1B/1T 码型。

AMI 码除有上述特点外，还有编译码电路简单及便于观察误码情况等优点，它是一种基本的线路码，并得到广泛采用。但是，AMI 码有一个重要缺点，即接收端从该信号中来获取定时信息时，由于它可能出现长的连 0 串，因而会造成提取定时信号的困难。

为了保持 AMI 码的优点而克服其缺点，人们提出了许多种类的改进 AMI 码，HDB3 码就是其中有代表性的一种。

HDB3 码的全称是三阶高密度双极性码。它的编码原理是这样的：先把消息代码变换成 AMI 码，然后去检查 AMI 码的连 0 串情况，当没有 4 个以上连 0 串时，则这时的 AMI 码就是 HDB3 码；当出现 4 个以上连 0 串时，则将每 4 个连 0 小段的第 4 个 0 变换成与其前一非 0 符号（＋1 或–1）同极性的符号。显然，这样做可能破坏“极性交替反转”的规律。这个符号就称为破坏符号，用 V 符号表示（即+1 记为+V, – 1 记为–V）。为使附加 V 符号后的序列不破坏“极性交替反转”造成的无直流特性，还必须保证相邻 V 符号也应极性交替。这一点，当相邻符号之间有奇数个非 0 符号时，则是能得到保证的；当有偶数个非 0 符号时，则就得不到保证，这时再将该小段的第 1 个 0 变换成+B 或–B 符号的极性与前一非 0 符号的相反，并让后面的非 0 符号从 V 符号开始再交替变化。

虽然 HDB3 码的编码规则比较复杂，但译码却比较简单。从上述原理看出，每一个破坏符号 V 总是与前一非 0 符号同极性（包括 B 在内）。这就是说，从收到的符号序列中可以容易地找到破坏点 V 于是也断定 V 符号及其前面的 3 个符号必是连 0 符号，从而恢复 4 个连 0 码，再将所有–1 变成+1 后便得到原消息代码。

HDB3 码是 CCITT 推荐使用的线路编码之一。HDB3 码的特点是明显的，它除了保持 AMI 码的优点外，还增加了使连 0 串减少到至多 3 个的优点，这对于定时信号的恢复是十

分有利的。AMI/HDB3 频谱示意图参见图 1.1。

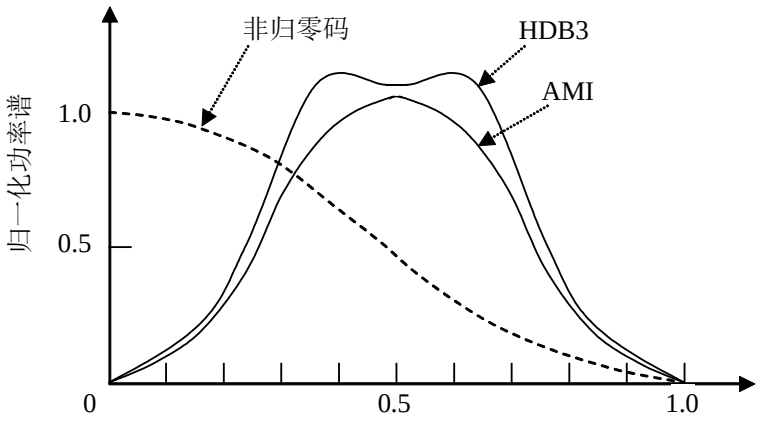



图 1.1 AMI/HDB3 频谱示意图

在通信原理综合试验箱中，采用了 CD22103 专用芯片（UD01）实现 AMI / HDB3 的编译码实验，在该电路模块中，没有采用复杂的线圈耦合的方法来实现 HDB3 码字的转换，而是采用运算放大器（UD02）完成对 AMI/HDB3 输出进行电平变换。变换输出为双极性码或单极性码。由于 AMI/HDB3 为归零码，含有丰富的时钟分量，因此输出数据直接送到位同步提取锁相环（PLL）提取接收时钟。AMI/HDB3 编译码系统组成框图见图 1.2。

输入的码流进入 UD01 的 1 脚，在 2 脚时钟信号的推动下输入 UD01 的编码单元，HDB3 与 AMI 由跳线开关 KD03 选择。编码之后的结果在 UD01 的 14（TPD03）、15（TPD04）脚输出。输出信号在电路上直接返回到 UD01 的 11、13 脚，由 UD01 内部译码单元进行译码。

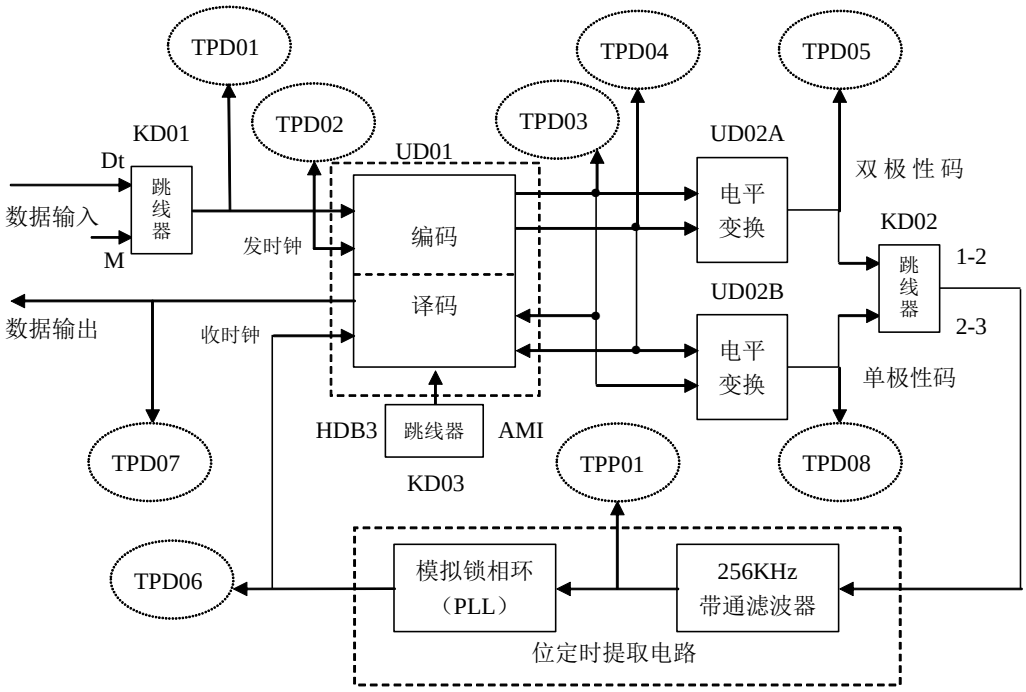



图 1.2 AMI/HDB3 编译码模块组成框图

通常译码之后 TPD07 与 TPD01 的波形应一致，但由于当前的输出 HDB3 码字可能与前 4 个码字有关，因而 HDB3 的编译码时延较大。运算放大器 UD02A 构成一个差分放大器，用来将线路输出的 HDB3 码变换为双极性码输出（TPD05）。运算放大器 UD02B 构成一个相加器，用来将线路输出的 HDB3 码变换为单极性码输出（TPD08）。

跳线开关 KD01 用于输入编码信号选择：当 KD01 设置在 Dt 位置时（左端），输入编码信号来自复接模块的 TDM 帧信号；当 KD01 设置在 M 位置时（右端），输入编码信号来自本地的 m 序列，用于编码信号观测。本地的 m 序列格式受 CMI 编码模块跳线开关 KX02 控制：KX02 设置在 1_2 位置（左端），为 15 位周期 m 序列（111100010011010）；KX02 设置在 2_3 位置（右端），为 7 位周期 m 序列（1110010）。

跳线开关 KD02 用于选择将双极性码或单极性码送到位同步提取锁相环提取收时钟：当 KD02 设置在 1_2 位置（左端），输出为双极性码；当 KD02 设置 2_3 位置（右端），输出为单极性码。

跳线开关 KD03 用于 AMI 或 HDB3 方式选择：当 KD03 设置在 HDB3 状态时（左端），UD01 完成 HDB3 编译码系统；当 KD03 设置在 AMI 状态时（右端），UD01 完成 AMI 编译码系统。

该模块内各测试点的安排如下：

1、 TPD01：编码输入数据（256Kbps）

2、 TPD02：256KHz 编码输入时钟（256KHz）

3、 TPD03：HDB3 输出+

4、 TPD04：HDB3 输出–

5、 TPD05：HDB3 输出（双极性码）

6、 TPD06：译码输入时钟（256KHz）

7、 TPD07：译码输出数据（256Kbps）

8、 TPD08： HDB3 输出（单极性码）

## 二、实验仪器

1、JH5001 通信原理综合实验系统 一台

2、20MHz 双踪示波器 一台

3、函数信号发生器 一台

## 三、实验目的

1、了解二进制单极性码变换为 AMI/HDB3 码的编码规则；

2、熟悉 HDB3 码的基本特征；

3、熟悉 HDB3 码的编译码器工作原理和实现方法；

4、根据测量和分析结果，画出电路关键部位的波形；

# 四、实验内容

**1. AMI 码编码规则验证**

（1） 首先将输入信号选择跳线开关 KD01 设置在 M 位置（右端）、单/双极性码输出选择开关设置 KD02 设置在 2_3 位置（右端）、AMI/HDB3 编码开关 KD03 设置在 AMI 位置（右端），使该模块工作在 AMI 码方式。

（2） 将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 2_3 位置(右端)，产生 7 位周期 m 序列。用示波器同时观测输入数据 TPD01 和 AMI 输出双极性编码数据 TPD05 波形及单极性编码数据 TPD08 波形，观测时用 TPD01 同步。分析观测输入数据与输出数据关系是否满足 AMI 编码关系，画下一个 M 序列周期的测试波形。

（3） 将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 1_2 位置(左端)，产生 15 位周期 m 序列。重复上述测试步骤，记录测试结果。

（4） 将输入数据选择跳线开关 KD01 拨除，将示波器探头从 TPD01 测试点移去，使输入数据端口悬空产生全 1 码。重复上述测试步骤，记录测试结果。

（5） 将输入数据选择跳线开关 KD01 拨除，用一短路线一端接地，另一端十分小心地插入测试孔 TPD01，使输入数据为全 0 码（或采用将示波器探头接入 TPD01 测试点上，使数据端口不悬空，则输入数据亦为全 0 码）。重复上述测试步骤，记录测试结果。

**2. AMI 码译码和时延测量**

（1） 将输入数据选择跳线开关 KD01 设置在 M 位置（右端）；将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 1_2 位置（左端），产生 15 位周期 m 序列；将锁相环模块内输入信号选择跳线开关 KP02 设置在 HDB3 位置（左端）。

（2） 用示波器同时观测输入数据 TPD01 和 AMI 译码输出数据 TPD07 波形，观测时用 TPD01 同步。观测 AMI 译码输出数据是否正确，画下测试波形。问：AMI 编码和译码的的数据时延是多少？

（3） 将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 2_3 位置(右端)，产生 7 位周期 m 序列。重复上述步骤测量，记录测试结果。问：此时 AMI 编码和译码的的数据时延是多少？

思考：数据延时量测量因考虑到什么因素？

**3. HDB3 码变换规则验证**

（1） 首先将输入信号选择跳线开关 KD01 设置在 M 位置（右端）、单/双极性码输出选择开关设置 KD02 设置在 2_3 位置（右端）、AMI/HDB3 编码开关 KD03 设置在

HDB3 位置（左端），使该模块工作在 HDB3 码方式。

（2） 将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 2_3 位置（右端），产生 7 位周期 m 序列。用示波器同时观测输入数据 TPD01 和 AMI 输出双极性编码数据 TPD05 波形及单极性编码数据 TPD08 波形，观测时用 TPD01 同步。分析观测输入数据与输出数据关系是否满足 AMI 编码关系，画下一个 M 序列周期的测试波形。

（3） 将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 1_2 位置（左端），产生 15 位周期 m 序列。重复上述测试步骤，记录测试结果。

（4） 使输入数据端口悬空产生全 1 码（方法同 1），重复上述测试步骤，记录测试结果。

（5） 使输入数据为全 0 码（方法同 1），重复上述测试步骤，记录测试结果。

**4. HDB3 码译码和时延测量**

（1） 将输入数据选择跳线开关 KD01 设置在 M 位置（右端）；将 CMI 编码模块内的 M 序列类型选择跳线开关 KX02 设置在 1_2 位置（左端），产生 15 位周期 m 序列；将锁相环模块内输入信号选择跳线开关 KP02 设置在 HDB3 位置（左端）。

（1） 用示波器同时观测输入数据 TPD01 和 HDB3 译码输出数据 TPD07 波形，观测时用 TPD01 同步。分析观测 HDB3 编码输入数据与 HDB3 译码输出数据关系是否满足 HDB3 编译码系统要求，画下测试波形。问：HDB3 编码和译码的的数据时延是多少？

## 五、实验报告

1、根据实验结果，画出主要测量点波形；

2、总结 AMI 码和 HDB3 码的信号特征。

# 实验二 FSK 传输系统实验

## 一、实验原理和电路说明

### 1、FSK 调制

在二进制频移键控中，幅度恒定不变的载波信号的频率随着输入码流的变化而切换（称为高音和低音，代表二进制的 1 和 0）。通常，FSK 信号的 表达式为：

$$S_{FSK}=\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c+2\pi\Delta f)t \qquad 0\le t\le T_b$$

（二进制 1 ）

$$S_{FSK}=\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c-2\pi\Delta f)t \qquad 0\le t\le T_b$$

（二进制 0 ）

其中 2π Δf 代表信号载波的恒定偏移。

产生 FSK 信号最简单的方法是根据输入的数据比特是 0 还是 1，在两个独立的振荡器中切换。采用这种方法产生的波形在切换的时刻相位是不连续的，因此这种 FSK 信号称为不连续 FSK 信号。不连续的 FSK 信号表达式为：

$$S_{FSK}=\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_H t+\theta_1) \qquad 0\le t\le T_b$$

（二进制 1 ）

$$S_{FSK}=\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_L t+\theta_2) \qquad 0\le t\le T_b$$

（二进制 0 ）

其实现如图 2-1 所示：

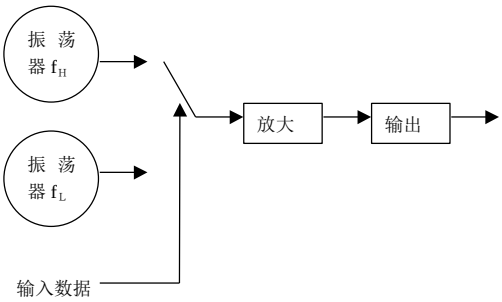



图 2.1 非连续相位 FSK 的调制框图

由于相位的不连续会造频谱扩展，这种 FSK 的调制方式在传统的通信设备中采用较多。随着数字处理技术的不发展，越来越多地采用连继相位 FSK 调制技术。

目前较常用产生 FSK 信号的方法是，首先产生 FSK 基带信号，利用基带信号对单一载波振荡器进行频率调制。因此，FSK 可表示如下：

$$S_{FSK}(t)=\sqrt{\frac{2E_b}{T_b}}\cos[2\pi f_C t+\theta\ (t)]$$

$$=\sqrt{\frac{2E_b}{T_b}}\cos[2\pi f_C t+2\pi k_f\int_{-\infty}^{t}m(n)dn]$$

应当注意，尽管调制波形 m（t）在比特转换时不连续，但相位函数 θ （t）是与 m（t）的积分成比例的，因而是连续的，其相应波形如图 2.2 所示：

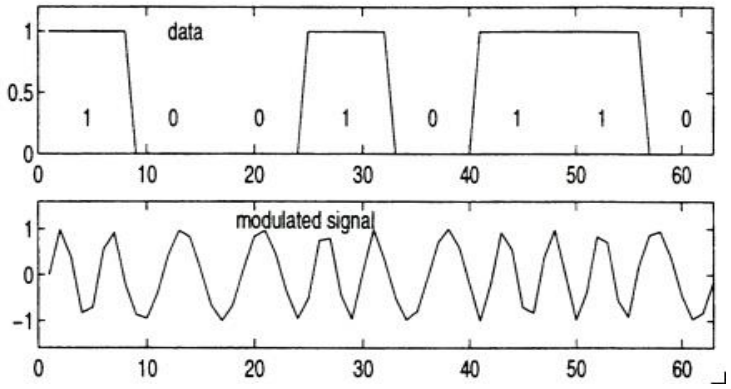



图 2.2 连续相位 FSK 的调制信号

由于 FSK 信号的复包络是调制信号 m（t）的非线性函数，确定一个 FSK 信号的频谱通常是相当困难的，经常采用实时平均测量的方法。二进制 FSK 信号的功谱密度由离散频率分量 fc、fc+n Δ f、fc-n Δ f 组成，其中 n 为整数。相位连续的 FSK 信号的功率谱密度函数最终按照频率偏移的负四次幂衰落。如果相位不连续，功率谱密度函数按照频率偏移的负二次幂衰落。

FSK 的信号频谱如图 2.3 所示。

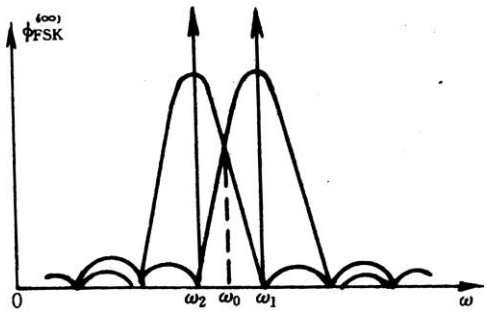



图 2.3　FSK 的信号频谱

FSK 信号的传输带宽 Br，由 Carson 公式给出：

$$Br=2\Delta f+2B$$

其中 B 为数字基带信号的带宽。假设信号带宽限制在主瓣范围，矩形脉冲信号的带宽 B=R。因此，FSK 的传输带宽变为：

Br=2（Δf+R）

如果采用升余弦脉冲滤波器，传输带宽减为：

Br=2Δf+（1+α）R

其中α为滤波器的滚降因子。

在通信原理综合实验系统中，FSK 的调制方案如下：

FSK 信号：

$$s(t)=\cos(w_0t+2\pi f_i\cdot t)$$

其中：

$$f_i=\begin{cases} f_1 & \text{当输入码为1} \\ f_2 & \text{当输入码为0} \end{cases}$$

因而有：

$$\begin{aligned} s(t)&=\cos w_0t\cos 2\pi f_i\cdot t-\sin w_0t\sin 2\pi f_i\cdot t \\ &=\cos w_0t\cos\theta(t)-\sin w_0t\sin\theta(t) \end{aligned}$$

其中：

$$\theta(t)=2\pi f_ct+2\pi K\int_{-\infty}^{t}m(t)dt$$

如果结进行量化处理，采样速率为 fs，周期为 Ts，有下式成立：

$$\begin{aligned} \theta(n)&=\theta(n-1)+2\pi f_cT_s+2\pi Km(n)T_s \\ &=\theta(n-1)+2\pi T_s[f_s+Km(n)] \\ &=\theta(n-1)+2\pi f_iT_s \end{aligned}$$

按照上述原理，FSK 正交调制器的实现为如图 2.4 结构：

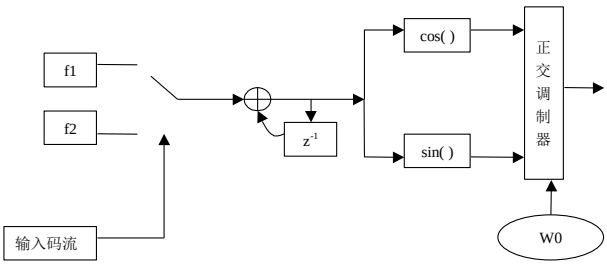



图 2.4　FSK 正交调制器结构图

如时发送 0 码，则相位累加器在前一码元结束时相位$\theta(n)$基础上，在每个抽样到达时刻相位累加$2\pi f_1T_s$，直到该码元结束；如时发送 1 码，则相位累加器在前一码元结束时的相位$\theta(n)$基础上，在每个抽样到达时刻相位累加$2\pi f_2T_s$，直到该码元结束。

在通信信道 FSK 模式的基带信号中传号采用 $f_H$ 频率，空号采用 $f_L$ 频率。在 FSK 模式

下，不采用采用汉明纠错编译码技术。制器器提供的数据源有：

1、 外部数据输入：可来自同步数据接口、异步数据接口和 m 序列；

2、 全 1 码：可测试传号时的发送频率（高）；

3、 全 0 码：可测试空号时的发送频率（低）；

4、 0/1 码：0101…交替码型，用作一般测试；

5、 特殊码序列：周期为 7 的码序列，以便于常规示波器进行观察；

6、 m 序列：用于对通道性能进行测试；

FSK 调制器基带处理结构如图 2.5 所示：

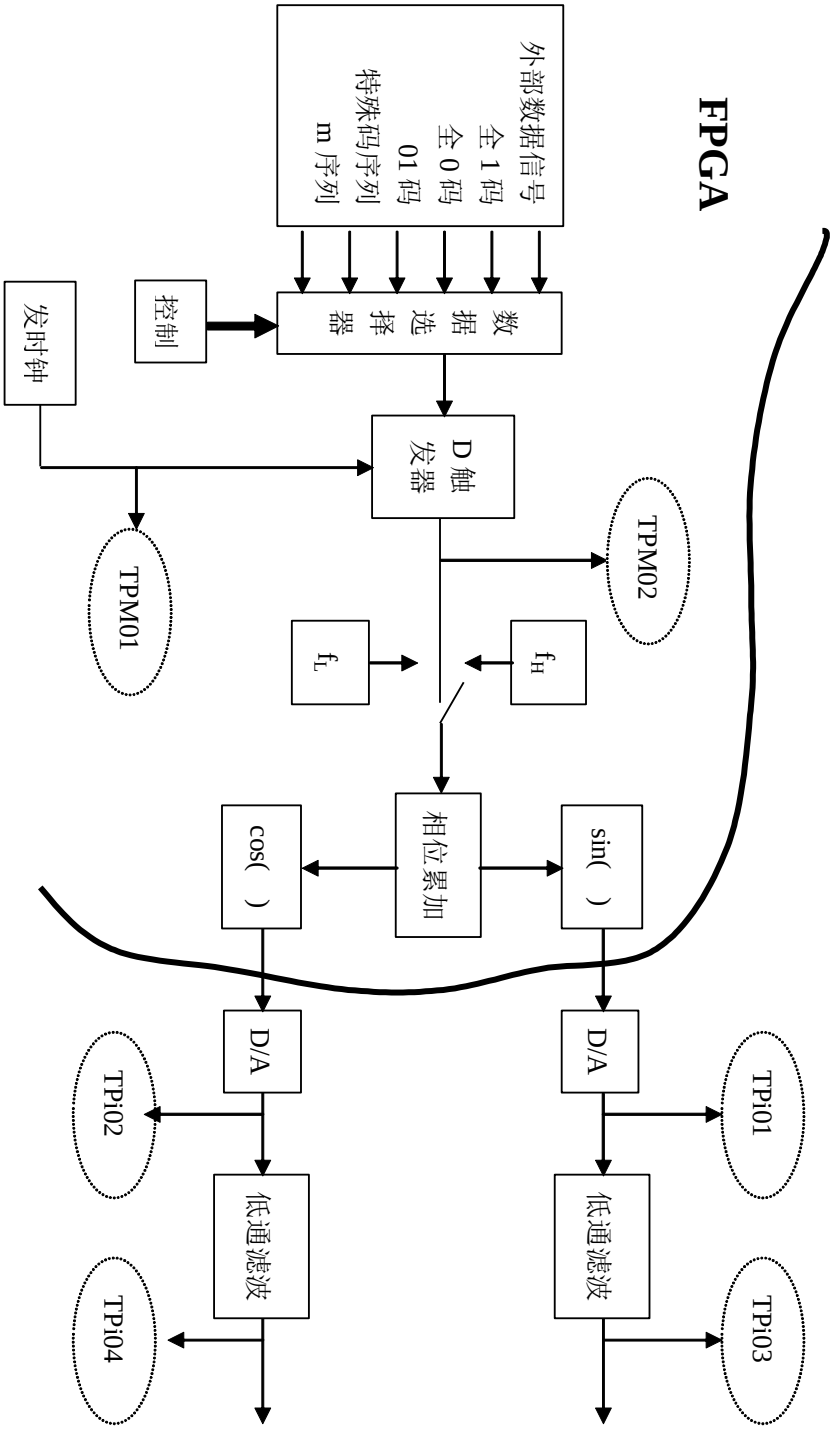



图 2..5 FSK 调制器基带处理结构示意图

## 2、FSK 解调

对于 FSK 信号的解调方式很多：相干解调、滤波非相干解调、正交相乘非相干解调。

1 、FSK 相干解调

FSK 相干解调要求恢复出传号频率（ $f_H$ ）与空号频率（ $f_L$ ），恢复出的载波信号分别与接收的 FSK 中频信号相乘，然后分别在一个码元内积分，将积分之后的结果进行相减，

如果差值大于 0 则当前接收信号判为 1，否则判为 0。相干 FSK 解调框图如图 2.6 所示：

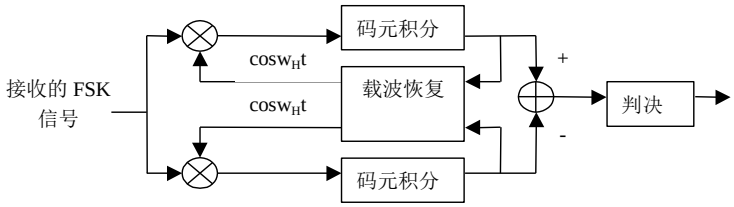



图 2.6 相干 FSK 的解调框图

相干 FSK 解调器是在加性高斯白噪声信道下的最佳接收，其误码率为：

$$P_e = Q(\sqrt{\frac{E_b}{N_0}})$$

相干 FSK 解调在加性高斯白噪声下具有较好的性能，但在其它信道特性下情况则不完全相同，例如在无线衰落信道下，其性能较差，一般采用非相干解调方案。

2 、FSK 滤波非相干解调

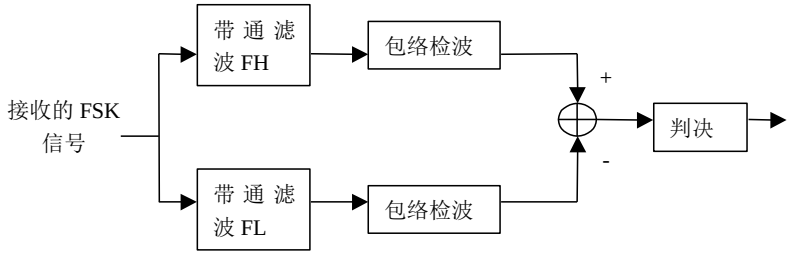



图 2.7 非相干 FSK 接收机的方框图

对于 FSK 的非相干解调一般采用滤波非相干解调，如图 2.7 所示。输入的 FSK 中频信号分别经过中心频率为 $f_H$ 、 $f_L$ 的带通滤波器，然后分别经过包络检波，包络检波的输出在 $t=kT_b$ 时抽样（其中 k 为整数），并且将这些值进行比较。根据包络检波器输出的大小，比较器判决数据比特是 1 还是 0。

使用非相干检测时 FSK 系统的平均误码率为：

$$P_e = \frac{1}{2}\exp(\frac{E_b}{2N_0})$$

在高斯白噪声信道环境下 FSK 滤波非相干解调性能较相干 FSK 的性能要差，但在无线衰落环境下，FSK 滤波非相干解调却表现出较好的稳健性。

FSK 滤波非相干解调方法一般采用模拟方法来实现，该方法不太适合对 FSK 的数字化解调。对于 FSK 的数字化实现方法一般采用正交相乘方法加以实现。

3 、FSK 的正交相乘非相干解调

FSK 的正交相乘非相干解调框图如图 2.8 所示：

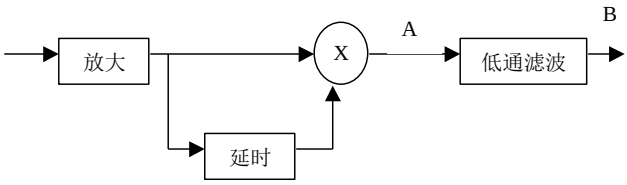



图 2.8　FSK 正交相乘非相干解调示意图

输入的信号为

$$R(t)=\cos(w_0 t \pm \Delta w \cdot t)$$

传号频率为：$w_0+\Delta w$

空号频率为：$w_0-\Delta w$

在上图中，延时信号为：

$$R'(t)=\cos(w_0 \pm \Delta w)\cdot(t-\tau)$$

其中$\tau$为延时量。

相乘之后的结果为：

$$\begin{aligned}2R(t)\cdot R'(t) &= 2\cos(w_0 \pm \Delta w)\cdot t * \cos(w_0 \pm \Delta w)\cdot(t-\tau)\\ &= \cos[2(w_0 \pm \Delta w)\cdot t-(w_0 \pm \Delta w)\cdot\tau]+\cos[(w_0 \pm \Delta w)\cdot\tau]\end{aligned}$$

在上式中，第一项经过低通滤波器之后可以滤除。当$w_0\cdot\tau=\pi/2$时，上式可简化为：

$$2R(t)\cdot R'(t)\approx \sin(\pm\Delta w)\cdot\tau=\pm\sin\Delta w\tau$$

因而经过积分器（低通滤波器）之后，输出信号大小为：$\pm T_b \sin\Delta w\tau$，从而实现了 FSK 的正交相乘非相干解调。

AB 两点的波形如图 2.9 所示：

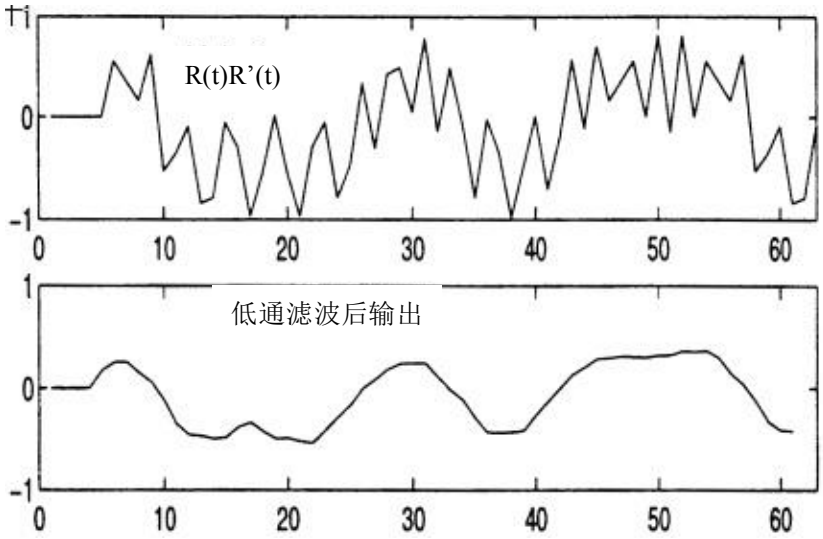



图 2.9　差分解调波形

在 FSK 中位定时的恢复见 BPSK 解调方式。

通信原理实验的 FSK 模式中，采样速率为 96KHz 的采样速率（每一个比特采 16 个样点），FSK 基带信号的载频为 24KHz，因而在 DSP 处理过程中，延时取 1 个样值。

FSK 的解调框图如图 2.10 所示：

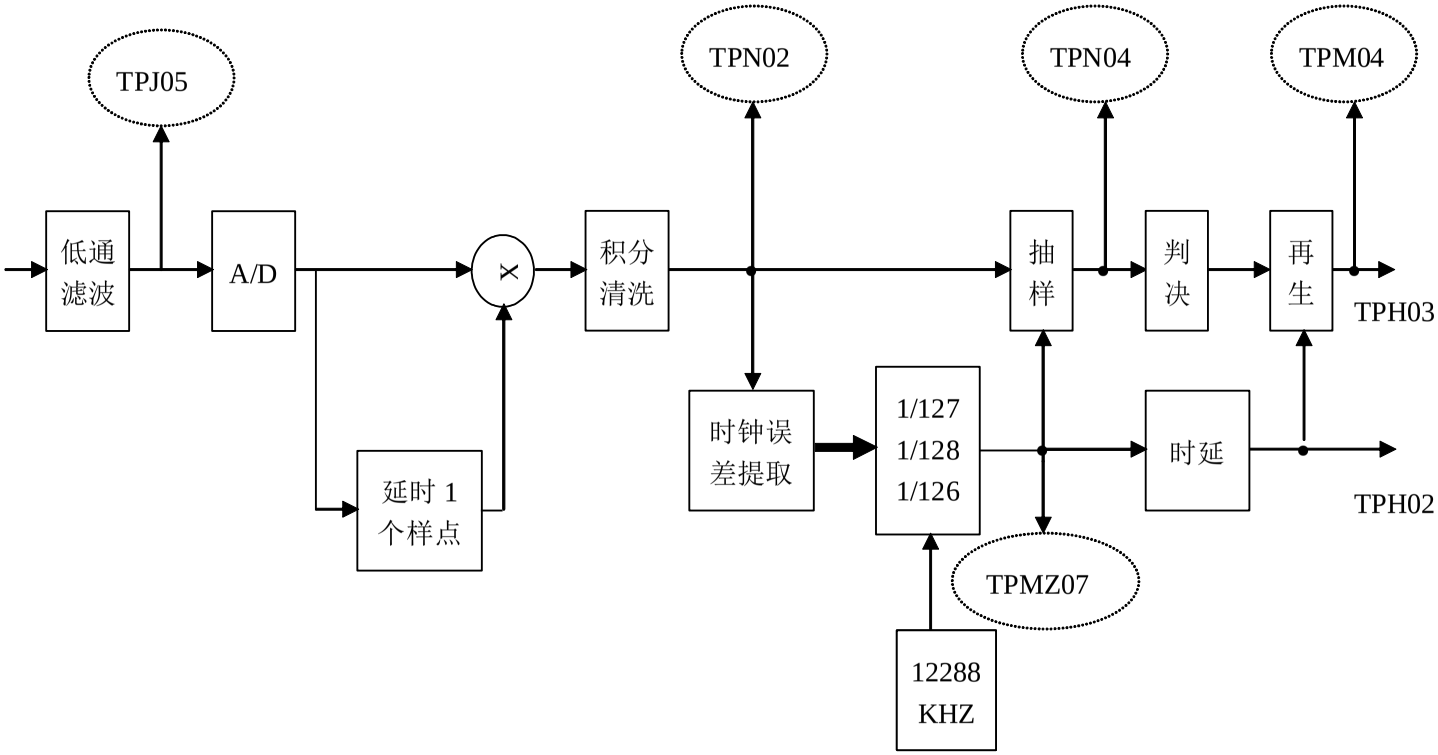



图 2.10　FSK 的解调方框图

## 3、FSK 系统性能

对于 FSK 采用非相干解调，在高斯白噪声信道环境下的平均误码率为：

$$P_e = \frac{1}{2}\exp(\frac{E_b}{2N_0})$$

对于一个实际通信设备，其性能一般较理论性能在 $\frac{E_b}{N_0}$ 上要恶化几个 dB，一般可达（2~3dB）。因而，对于一个调制方式已确定的信道设备，对于其误码率的测量是一个十分重要的环节。一方面可以衡量其在实际信道环境下的性能，比理论值所恶化的程度；另一方面，通过测量设备的信道误码率指标，可以判断当前设备是否工作正常。

对设备信道误码率指标的测量，不仅仅对该设备的性能有所了解，同时它也是通信系统工程方面（系统建立、维护）重要的工具。

1、 信道 $\frac{E_b}{N_0}$ 的测量：

对于 FSK 信道 $\frac{E_b}{N_0}$ 的测量一般可采用功率测量。

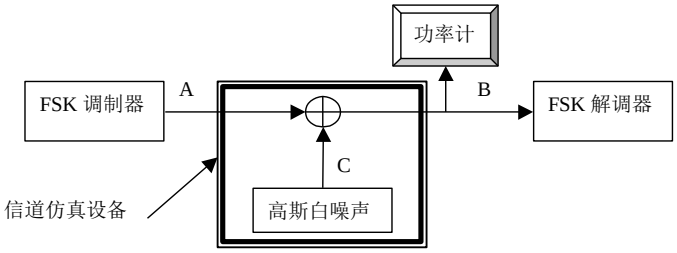



图 2.11 采用功率计测量 $\frac{E_b}{N_0}$ 连接示意图

首先，测量高斯白噪声谱密度 $N_0$。按图 2.11 连接，在 A 点将调制信号断开，这样在 B 点处将测量得信道上高斯噪声的能量 $E_N$，根据高斯噪声所占据的带宽 $B_N$ 可计算出高斯白噪声的谱密度：

$$N_0 = \frac{E_N}{B_N}$$

然后在 C 点处断开,测量信号功率 $E_S$,计算出信号的每比特能量：

$$E_b = \frac{E_S}{R_b}$$

这样通过功率测量即可测量出 FSK 在实际信道环境下的 $\frac{E_b}{N_0}$。

如果定性测量可通过通信原理综合实验系统的 TPJ05 进行：首先断开发信号，在示波器上测量接收的噪声大小 En，然后在没有噪声时在示波器上观察信号的大小 Es，通过这两项估计当前 $\frac{E_b}{N_0}$ 的大致情况。基带等效带宽为 76.8KHz，信息速率为 8KBPS，因而有下式成立：

$$\left[\frac{E_b}{N_0}\right]=\left[\frac{E_s/8}{E_n/76.8}\right]=\left[\frac{E_s}{E_n}\right]+9.8 \quad (dB)$$

这样通过改变噪声大小，可测量 FSK 的误码性能。

2、 误码率测量

对信道误码率的测量一般需通过误码测试仪进行。误码测试仪首先发送一串伪码给信道设备，信道设备将 FSK 信号发送，并经信道返回（主要是完成加噪功能），然后解调。将解调之后的数据再送入误码测试仪进行比较，将误码进行计数。而后将误码率显示出来：

$$P_e=\frac{\text{接收的误码}}{\text{发送的总码}}$$

## 二、实验仪器

1、JH5001 通信原理综合实验系统　　一台

2、20MHz 双踪示波器　　一台

3、JH9001 型误码测试仪（或 GZ9001 型）　　一台

## 三、实验目的

1、熟悉 FSK 调制和解调基本工作原理。

2、掌握 FSK 数据传输过程。

3、掌握 FSK 正交调制的基本工作原理与实现方法。

4、了解 FSK 在噪声下的基本性能。

## 四、实验内容

测试前检查：首先将通信原理综合实验系统调制方式设置成“FSK 传输系统”；用示波器测量 TPMZ07 测试点的信号，如果有脉冲波形，说明实验系统已正常工作；如果没有脉冲波形，则需按面板上的复位按钮重新对硬件进行初始化。

### 1、FSK 调制

#### 1）FSK 基带信号观测

（1）TPi03 是基带 FSK 波形（D/A 模块内）。通过菜单选择为 1 码输入数据信号，观测

TPi03 信号波形，测量其基带信号周期。

（2）通过菜单选择为 0 码输入数据信号，观测 TPi03 信号波形，测量其基带信号周期。将测量结果与 1 码比较。

### 2）连续相位 FSK 调制基带信号观测

（1）TPM02 是发送数据信号（DSP+FPGA 模块左下脚），TPi03 是基带 FSK 波形。测量时，通过菜单选择为 0/1 码输入数据信号，并以 TPM02 作为同步信号。观测 TPM02 与 TPi03 点波形应有明确的信号对应关系。并且，在码元的切换点发送波形的相位连续。

思考：非连续相位 FSK 调制在码元切换点的相位是如何的。

（2）通过菜单选择为特殊序列码输入数据信号，重复上述测量步骤。记录测量结果。

### 3）FSK 调制信号频谱观测

此项测量视学校仪表情况而定。

测量时，用一条中频电缆将频谱仪连结接到调制器的 KO02 端口。调整频谱仪中心频率为 1.024MHz，扫描频率为 10KHz/DIV，分辨率带宽为 1～10KHz 左右，调整频率仪输入信号衰减器和扫描时间为合适位置。

（1）通过菜单选择不同的输入数据，观测 FSK 信号频谱。

（2）将正交调制输入信号中的一路基带调制信号断开（D/A 模块内的跳线器 Ki01 或 Ki02），重复上述测量步骤。观测信号频谱的变化，记录测量结果。

## 2、FSK 解调

### 1）解调基带 FSK 信号观测

首先用中频电缆连结 KO02 和 JL02，建立中频自环（自发自收）。测量 FSK 解调基带信号测试点 TPJ05 的波形，观测时仍用发送数据（TPM02）作同步，比较其两者的对应关系。

（1）通过菜单选择为 1 码（或 0 码）输入数据信号，观测 TPJ05 信号波形，测量其信号周期。

（2）通过菜单选择为 0/1 码（或特殊码）输入数据信号，观测 TPJ05 信号波形。

根据观测结果，分析解调端的基带信号与发送端基带波形（TPi03）不同的原因？

### 2）抽样判决点波形观测

将跳线开关 KL01 设置在 2_3 位置，调整电位器 WL01, 以改变接收本地载频（即改变收发频差），观察抽样判决点 TPN04（测试模块内）波形的变化。在观察时，示波器的扫描时间取大于 2ms 级较为合适，观察效果较好。具有以下的波形：理想情况下，正交相乘经低通滤波之后在判决器之前的变量应取两个值：＋A 或－A。而实际情况，的输出如图 2.12 所示，原因有以下几个方面：

（1） 位定时抖动，由于位定时的抖动，使前后的码元产生了码间串扰串（ISI），从而引起判决器之前的波形抖动；

（2） 剩余频差：由于收发频率不同，当这种差别较大时，会引起判决器之前的波形抖动；

（3） A/D 量化时的直流漂移：由于 A/D 在量化时存在直流漂移，引起判决器之前的波形抖动；

（4） 线路噪声：当接收支路存在噪声时，引起判决器之前的波形抖动；



图 2.12 FSK 解调器抽样判决点的波形

### 3）观察在各种输入码字下 FSK 的输入/输出数据

测试点 TPM02 是调制输入数据，TPM04 是解调输出数据。通过菜单选择为不同码型输入数据信号，观测输出数据信号是否正确。观测时，用 TPM02 点信号同步。记录测量结果。

## 3、FSK 系统性能测试

### 准备工作：

（1）首先用中频电缆连结 KO02 和 JL02，建立中频自环（自发自收）。

（2）误码仪关机，将误码测试仪 RS422 端口用 DB9 电缆（在误码测试仪的后部）连接到通信原理实验箱同步接口模块的数据通信端口 JH02 上（通过转接电缆），误码仪必须断电后连接！。

（3）将汉明编码模块中的信号工作跳线器开关 SWC01 中的 H_EN 和 ADPCM 开关去除，将输入信号跳线开关 KC01 设置在同步数据接口 DT_SYS 上（左端）；将汉明译码模块中汉明译码使能开关 KW03 设置在 OFF 状态（右端），输入信号和时钟开关 KW01、KW02 设置在来自信道 CH 位置（左端）。

（4）通过菜单选项选择外部数据源方式，此时发送数据将由误码测试仪提供，同时将解调之后的数据送到误码测试仪中进行误码分析。

（5）误码仪加电。将误码仪工作“模式”设置为连续，“码类”选择 $2^9$-1，“接口”选择外时钟和 RS422 方式。

### 1）FSK 误码指标测试

（1）首先将噪声模块内的噪声输出电平调整开关 SWO01 设置在最低一挡 00000001，

此时噪声输出电平最小，信噪比 S/N 最大。测量该 S/N 下的误码率，记录测量结果填入表内。

（2）将噪声输出电平调整开关 SWO01 增加一挡为 00000010，降低一挡 S/N。重复上述测量，记录测量结果填入表内。

（3）逐步降低 S/N，重复上述测量，直至 S/N 最低。将不同信噪比下 FSK 误码测量结果填入表内。定性画出各挡 S/N～$P_e$ 特性曲线。

| $e_b/n_0$ | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| SWO01 | 00000001 | 00000010 | 00000100 | 00001000 | 00010000 | 00100000 | 01000000 | 10000000 |
| $P_e$ | | | | | | | | |

注：有条件可精确校准各挡信噪比（$e_b/n_0$），画出 $e_b/n_0$～$P_e$ 特性曲线。

**2）噪声环境下不同信噪比时解调基带 FSK 信号观测**

测量方法见 FSK 解调中的第 1 项测试内容。通过菜单选择为 1 码（或 0 码）输入数据信号，逐渐改变 $e_b/n_0$，观测解调基带 FSK 信号受噪声影响的变化。

**3）噪声环境下不同信噪比时的抽样判决点信号观测**

测量方法见 FSK 解调中的第 4 项测试内容。通过菜单选择为 m 序列输入数据信号，逐渐改变 $e_b/n_0$，观测 FSK 解调器抽样判决点信号随 $e_b/n_0$ 变化的影响。

## 五、实验报告

1、TPi03 和 TPi04 两信号具有何关系？

2、画出各测量点的工作波形。

3、画出 FSK 解调器在不同信噪比时的误码性能曲线。

# 实验三 BPSK 传输系统实验

## 一、实验原理和电路说明

### 1、BPSK 调制

理论上二进制相移键控（BPSK）可以用幅度恒定，而其载波相位随着输入信号 m（1、0 码）而改变，通常这两个相位相差 180° 。如果每比特能量为 $E_b$，则传输的 BPSK 信号为：

$$S(t)=\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c+\theta_c)$$

其中

$$\theta_c=\begin{cases}0^0 & m=0\\ 180^0 & m=1\end{cases}$$

一个数据码流直接调制后的信号如图 3.1 所示：

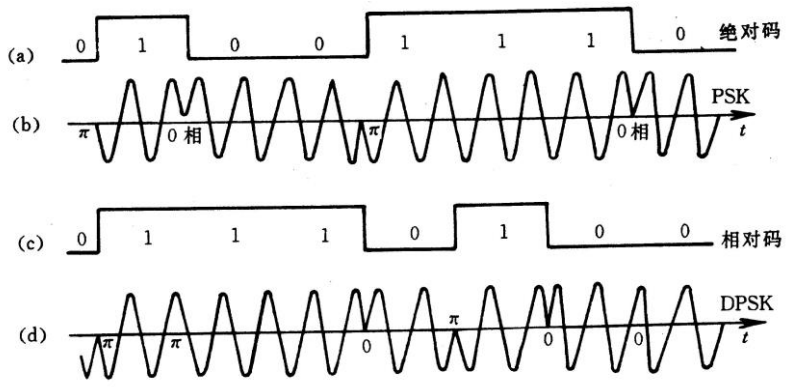



图 3.1　数据码流直接调制后的 BPSK 信号

采用二进制码流直接载波信号进行调相，信号占居带宽大。上面这种调制方式在实际运用中会产生以下三方面的问题：

1、 浪费宝贵的频带资源；

2、 会产生邻道干扰，对系统的通信性能产生影响，在移动无线系统中，要求在相邻信道内的带外幅射一般应比带内的信号功率谱要低 40dB 到 80dB；

3、 如果该信号经过带宽受限信道会产生码间串扰（ISI），影响本身通信信道的性能。

在实际通信系统中，通常采用 Nyquist 波形成形技术，它具有以下三方面的优点：

1、 发送频谱在发端将受到限制，提高信道频带利用率，减少邻道干扰；

2、 在接收端采用相同的滤波技术，对 BPSK 信号进行最佳接收；

3、 获得无码间串扰的信号传输；

升余弦滤波器的传递函数为：

$$H_{RC}(f)=\begin{cases}1 & 0\le|f|\le(1-\alpha)/2T_S\\ \frac{1}{2}[1+\cos(\frac{\pi(2T_S|f|)-1+\alpha}{2\alpha}) & (1-\alpha)/2T_S<|f|<(1+\alpha)/2T_S\\ 0 & |f|>(1+\alpha)/2T_S\end{cases}$$

其中，α是滚降因子，取值范围为 0 到 1。一般α=0.25~1 时，随着α的增加，相邻符号间隔内的时间旁瓣减小，这意味着增加α可以减小位定时抖动的敏感度，但增加了占用的带宽。对于矩形脉冲 BPSK 信号能量的 90%在大约 1.6$R_b$的带宽内，而对于α=0.5 的升余统滤波器，所有能量则在 1.5$R_b$的带宽内。

升余弦滚降传递函数可以通过在发射机和接收机使用同样的滤波器来实现，其频响为开根号升余弦响应。根据最佳接收原理，这种响应特性的分配提供了最佳接收方案。

升余弦滤波器在频域上是有限的，那它在时域上的响应将是无限的，其是一个非因果冲激响应。为了在实际系统上可实现，一般将升余弦冲激响应进行截短，并进行时延使其成为因果响应。截短长度一般从中央最大点处向两边延长 4 个码元。由截短的升余响应而成形的调制基带信号，其频谱一般能很好地满足实际系统的使用要求。

为实现滤波器的响应，脉冲成形滤波器可以在基带实现，也可以设置在发射机的输出端。一般说来，在基带上脉冲成形滤波器用 DSP 或 FPGA 来实现，每个码元一般需采样 4 个样点，并考虑当前输出基带信号的样点值与 8 个码元有关，由于这个原因使用脉冲成形的数字通信系统经常在调制器中同一时刻存储了几个符号，然后通过查询一个代表了存储符号离散时间波形来输出这几个符号（表的大小为 $2^{10}$），这种查表法可以实现高速数字成形滤波，其处理过程如图 3.2 所示：

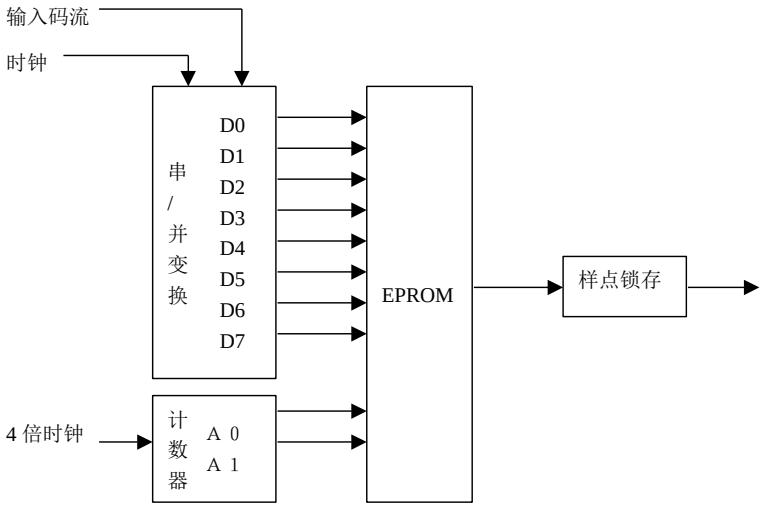



图 3.2　BPSK 基带成形原理示意图

成形之后的基带信号经 D/A 变换之后，直接对载波进行调制。

在“通信原理综合实验系统”中，BPSK 的调制工作过程如下：首先输入数据进行 Nyquist 滤波，滤波后的结果分别送入 I、Q 两路支路。因为 I、Q 两路信号一样，本振频率是一样的，相位相差 180 度，所以经调制合路之后仍为 BPSK 方式。

采用直接数据（非归零码）调制与成形信号调制的信号如图 3.3 所示：

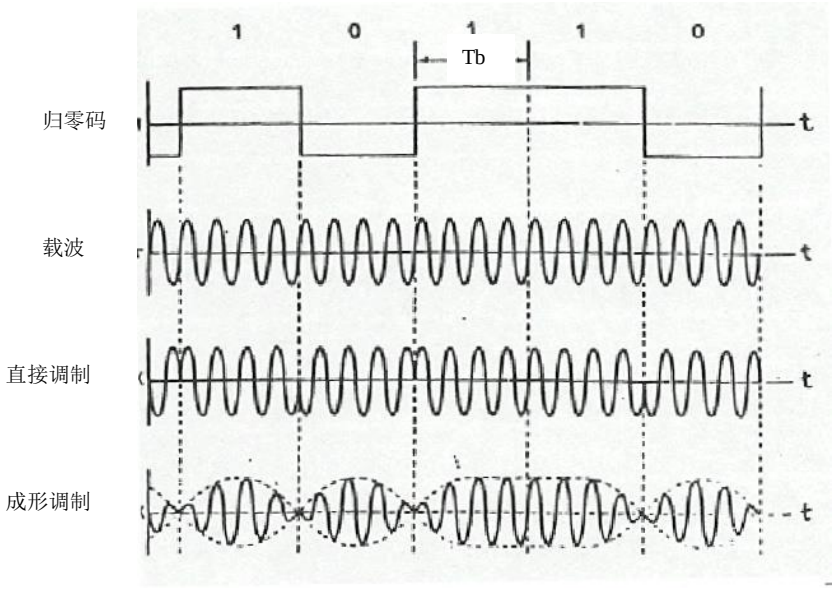



图 3.3 直接数据调制与成形信号调制的波形

在接收端采用相干解调时，恢复出来的载波与发送载波在频率上是一样的，但相位存在两种关系：$0^0$,$180^0$。如果是 $0^0$，则解调出来的数据与发送数据一样，否则，解调出来的数据将与发送数据反相。为了解决这一技术问题，在发端码字上采用了差分编码，经相干解调后再进行差分译码。

差分编码原理为：

$$a(n) = a(n-1) \oplus b(n)$$

实现框图如图 3.4 所示：

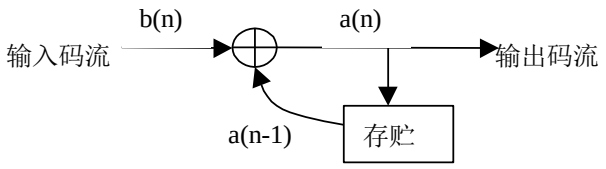



图 3.4 差分编码示意图

一个典型的差分编码调制过程如图 3.5 所示：

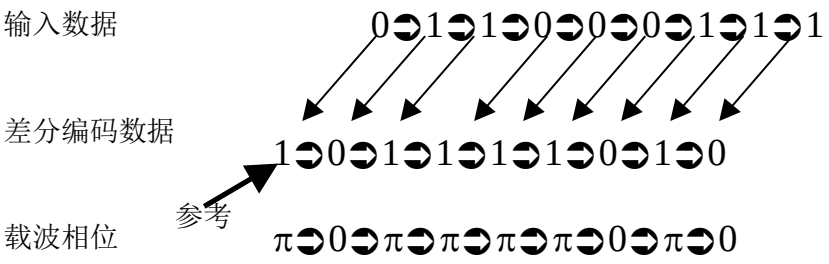



图 3.5 差分编码与调制相位示意图

BPSK 的实现框图如图 3.6 所示。

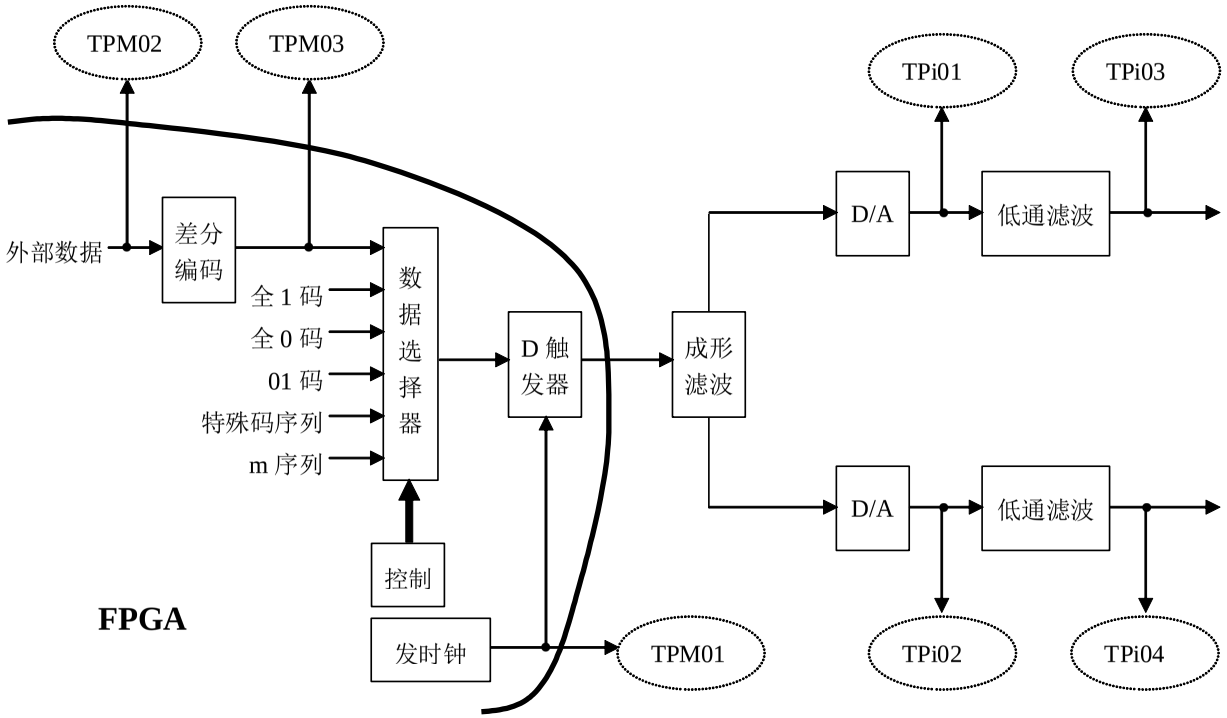



图 3.6　BPSK 实验方框图

## 2、BPSK 解调

接收的 BPSK 信号可以表示成：

$$R(t)=a(t)\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c+\theta)$$

为了对接收信号中的数据进行正确的解调，这要求在接收机端知道载波的相位和频率信息，同时还要在正确时间点对信号进行判决。这就是我们常说的载波恢复与位定时恢复。

1 、载波恢复

对二相调相信号中的载波恢复有很多的方法，最常用的有平方变换法、判决反馈环等。

平方变换法如图 3.7 所示：

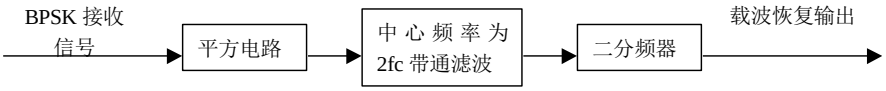



图 3.7 平方环载波恢复电路结构

接收端将接收信号进行平方变换，即将信号 R（t）通过一个平方律器件后：

$$\begin{aligned}R^2(t)&=a^2(t)\frac{2E_b}{T_b}\cos^2(2\pi f_c+\theta)\\&=a^2(t)\frac{2E_b}{T_b}\frac{1}{2}[1+\cos(2\pi 2f_c+2\theta)]\\&=a^2(t)\frac{2E_b}{T_b}\frac{1}{2}+a^2(t)\frac{2E_b}{T_b}\frac{1}{2}\cos(2\pi 2f_c+2\theta)\end{aligned}$$

从上式看出：R（t）经平方处理之后产生了直流分量，而在上式第二项中具有 $2f_c$ 频率分量。若应用一个窄带滤波器将 $2f_c$ 项滤出，再经二分频，便可得到所需的载波分量。

从上述电路中可以看出，由于二分频电路的存在，恢复出的载波信号存在相位模糊。该方法的特点是载波恢复快，但由于带通滤波器的带宽一般不易做到很窄，因而该电路在低信噪比条件下性能较差。

为了提高所提取载波的质量，一般采用锁相环来实现。判决反馈环结构如图 3.8 所示：

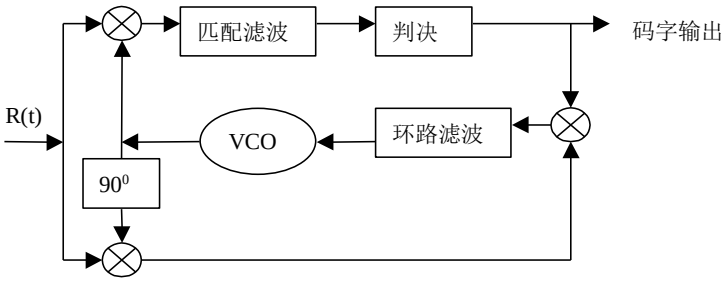



图 3.8　BPSK 判决反馈环结构

判决反馈环鉴相器具有图 3.9 所示的特性：

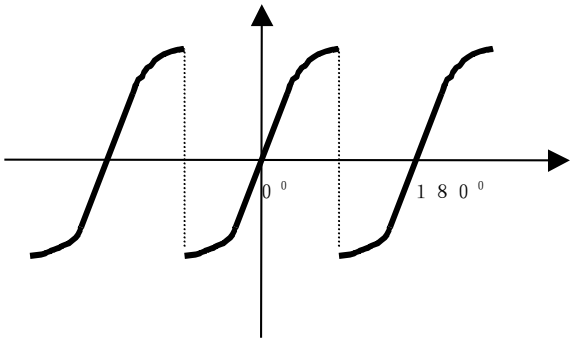



图 3.9 判决反馈环鉴相特性

从图 3.9 中可以看出，判决反馈环也具有 $0^0$、$180^0$两个相位平衡点，因而采用判决反馈环存在相位模糊点。

在采用 PLL 方式进行载波恢复时，PLL 环路对输入信号的幅度较为敏感，因而在实际使用中一般在前端还需加性能较好的 AGC 电路。

在 BPSK 解调器中，载波恢复的指标主要有：同步建立时间、保持时间、稳态相差、相位抖动等。

载波恢复同步时间将影响 BPSK 在正确解调时所需消耗的比特数，该指标一般对突发工作（解调器是一个分帧一个分帧地接收并进行解调，而且在这些分帧之间载波信息与位定时信息之间没有任何关系）的解调器有要求，而对于连续工作的解调器该指标一般不作要求。

载波恢复电路的保持时间在不同场合要求不同，例如在无线衰落信道中，一旦接收载波出现短时的深衰落，要求接收机的恢复载波信号仍能跟踪一段时间。

本地恢复载波信号的稳态相位误差对解调性能存在影响，对于 BPSK 接收信号为：

$$R(t)=a(t)\sqrt{\frac{2E_b}{T_b}}\cos(2\pi f_c+\theta)$$

而恢复的相干载波为$\cos(2\pi f_c+\theta+\Delta)$，经相乘器、低通滤波后输出的信号为：

$$a'(t)=a(t)\sqrt{\frac{2E_b}{T_b}}\frac{1}{2}\cos\Delta$$

若提取的相干载波与输入载波没有相位差，即 Δ=0，则解调输出的信号为$a'(t)=a(t)\sqrt{\frac{2E_b}{T_b}}\frac{1}{2}$；若存在相差Δ，则输出信号下降 $\cos^2\Delta$ 倍，即输出信噪比下降 $\cos^2\Delta$，其将影响信道的误码率性能，使误码增加。对 BPSK 而言，在存在载波恢复稳态相差时信道误码率为：

$$P_e=\frac{1}{2}erfc[\sqrt{\frac{E_b}{N_0}}\cos\Delta]$$

为了提高 BPSK 的解调性能，一般尽可能地减小稳态相差，在实际中一般要求其小于 $5^0$。改善这方面的性能一般可通过提高路环路的开环增益、减少环路时延。当然在提高环路增益的同时，对环路的带宽可能产生影响。

环路的相位抖动是指环路输出的载波在某一载波相位点按一定分布随机摆动,其摆动的方差对解调性能有很大的影响：一方面其与稳态相差一样对 BPSK 解调器的误码率产生影响；另一方面还使环路产生一定的跳周率（按工程经验，在门限信噪比条件时跳周一般要求小于每二小时一次）。

采用 PLL 环路进行载波恢复具有环路带宽可控。一般而言，环路带宽越宽，载波恢复时间越短，输出载波相位抖动越大，环路越容易出现跳周（所谓跳周是指环路从一个相位平衡点跳向相邻的平衡点，从而使解调数据出现倒相或其它的错误规律）；反之，环路带宽越窄，载波恢复时间越长，输出载波相位抖动越小，环路的跳周率越小。因而，可根据实际需要，调整环路带宽的大小。

2 、位定时

对于接收的 BPSK 信号，与本地相干载波相乘并经匹配滤波之后，在什么时刻对该信号进行抽样、判决，这一功能主要由位定时来实现。

解调器输出的基带信号如图 3.10 所示，抽样时钟 B 偏离信号能量的最大点,使信噪比下降。由于位定时存在相位差，使误码率有所增加。而抽样时钟 A 在信号最大点处进行抽样，保证了输出信号具有最大的信噪比性能，从而也使误码率较小。

在刚接收到 BPSK 信号之后，位定时一般不处于正确的抽样位置，必须采用一定的算法对抽样点进行调整，这个过程称为位定时恢复。常用的位定时恢复有：滤波法、数字锁相环等。

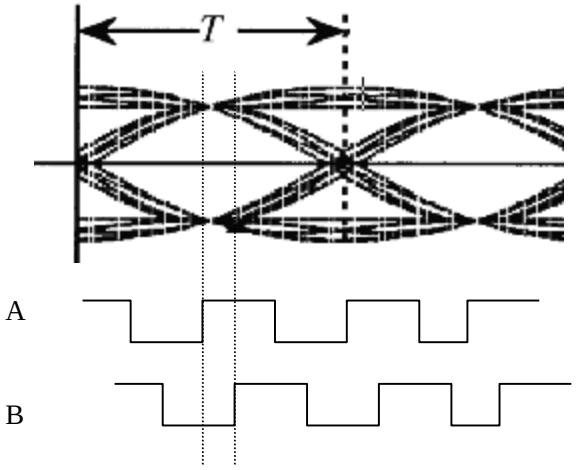



图 3.10 BPSK 的位定时恢复

（1）滤波法

在不归零的随机二进制脉冲序列功率谱中没有位同步信号的离散分量，所以不能直接从

中提取位同步，若将不归零脉冲变为归零二进制脉冲序列，则变换后的信号中出现了码元信号的频率分量，然后再采用窄带滤波器提取、移相后形成位定时脉冲。图 3. 11 就是滤波法提取位同步的原理方框图。

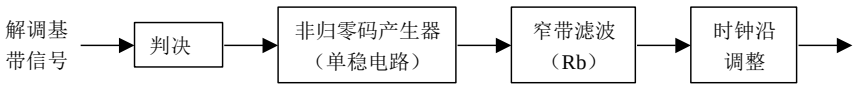



图 3.11 采用滤波法恢复 BPSK 的位定时结构框图

另外一种波形变换的方法是对带限信号进行包络检波。这种方法常用于数字微波的中继通信系统中，图 3.12 是频带受限的二相相移信号 2PSK 的位同步提取过程。由于频带受限，在相邻码元相位突变点附近会产生幅度的“凹陷”，经包络检波后，可以用窄带滤波器提取位同步信号。

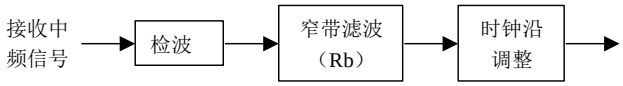



图 3.12 采用检波恢复 BPSK 位定时结构框图

（2）锁相环法

以四倍码元速率抽样为例：信号取样如图 3.13 所示。S（n-2）、S（n+2）为调整后的最佳样点，S（n）为码元中间点。

首先位定时误差的提取时刻为其基带信号存在过零点，即如图 3.13 中的情况所示。位定时误差的大小按下式进行计算：

$$e_b(n) = S(n)[S(n-2) - S(n+2)]$$

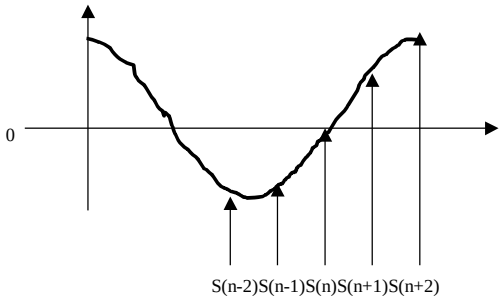



图 3.13 位定时误差提取示意图

如果 $e_b(n) > 0$，则位定时抽样脉冲应向前调整；反之应向后调整。这个调整过程主要是通过调整分频计数器进行的，如图 3.14 所示。

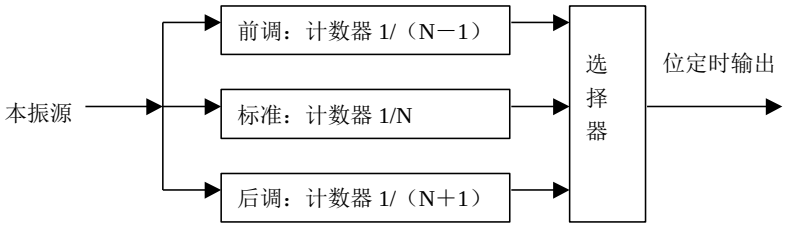



图 3.14 位定时调整示意图

须注意的是，一般在实际应用中还须对位定时的误差信号进行滤波（位定时环路滤波），这样可提高环路的抗噪声性能。

最后，对通信原理综合实验系统中最常用的几个测量工具作一介绍：眼图、星座图与抽样判决点波形。

1、眼图：利用眼图可方便直观地估计系统的性能。对眼图的测试方法如下：用示波器的同步输入通道接收码元的时钟信号，用示波器的另一通道接在系统接收滤波器的输出端（例如 I 支路），然后调整示波器的水平扫描周期（或扫描频率），使其与接收码元的周期同步。这时就可以在荧光屏上看到显示的图型很像人的眼睛，所以称为眼图（如图 3.15 所示）。在这个图形上，可以观察到码间串扰和噪声干扰的影响，从而估计出系统性能的优劣程度。

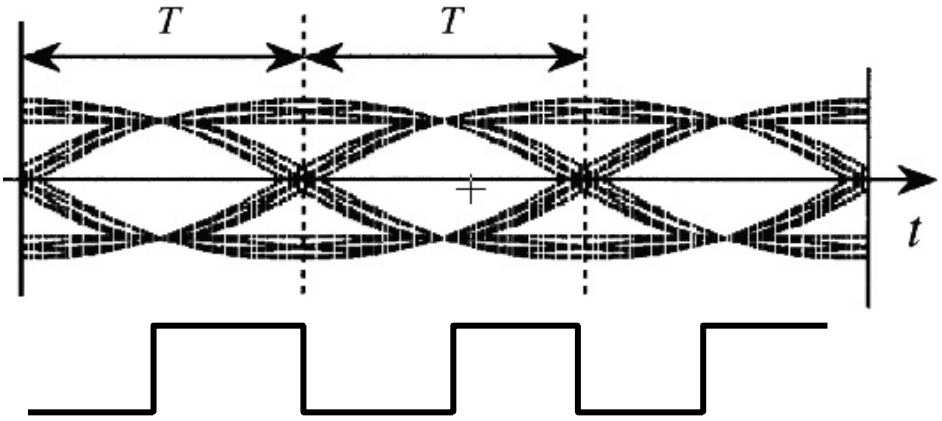



图 3.15 BPSK 眼图的观察方法

一般而言，眼皮越厚，则噪声与 ISI 越严重，系统的误码率越高。

2、星座图：与眼图一样，可以较为方便地估计出系统的性能，同时它还可以提供更多的信息，如 I、Q 支路的正交性、电平平衡性能等。星座图的观察方法如下：用一个示波器的一个通道接收 I 支路信号，另一通道接 Q 支路信号，将示波器设置成 X-Y 方式，这时就可以在荧光屏上看到如图 3.16 所示的星座图。

星座点聚焦越好，则系统性能越好；否则，噪声与 ISI 越严重，系统的误码率越高。

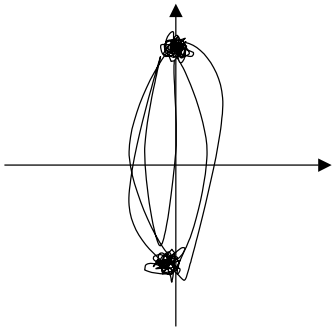


图 3.16 BPSK 星座图

3 、抽样判决点波形：是在判决器之前的波形。抽样判决点波形可以较好地反映最终输出性能的好坏。一般的抽样判决点波形如图 3. 17 所示。抽样判决点波形上下两线聚集越好，则系统性能越好，反之越差。

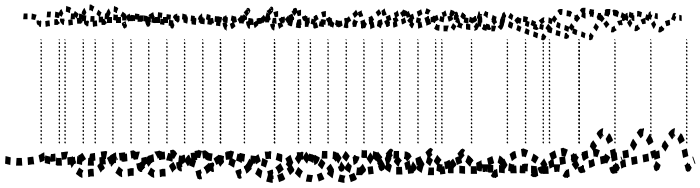


图 3.17　BPSK 的抽样判决点波形

在通信原理实验平台中 BPSK 的 DSP 解调方法如图 3.18 所示：

1、 在图中，A/D 采样速率为 4 倍的码元速率，即每个码元采样 4 个样点。

2、 采样之后，进行平方根 Nyquist 匹配滤波。

3、 将匹配滤波之后的样点进行样点抽取，每两个样点抽取一个采样点。即每个码元采样 2 个点送入后续电路进行处理。

4、 将每个码元 2 个点进行位定时处理，根据误差信号对位定时进行调整。TPMZ07 测量点为最终恢复的位定时时钟。

5、 再将位定时处理之后的最佳样点送入后续处理（即又进行了 2:1 的样点抽取）。

6、 根据最佳样点值进行载波鉴相处理，鉴相输出在测量点 TPN03 可以观察到。鉴相后的结果送 PLL 环路滤波，控制 VCXO。最终使本地载波与输入信号的载波达到同频、同相（也可能存在 180 度相差）。

7、 位定时与载波恢复之后，进行判决处理，判决前信号可在测量点观察到。

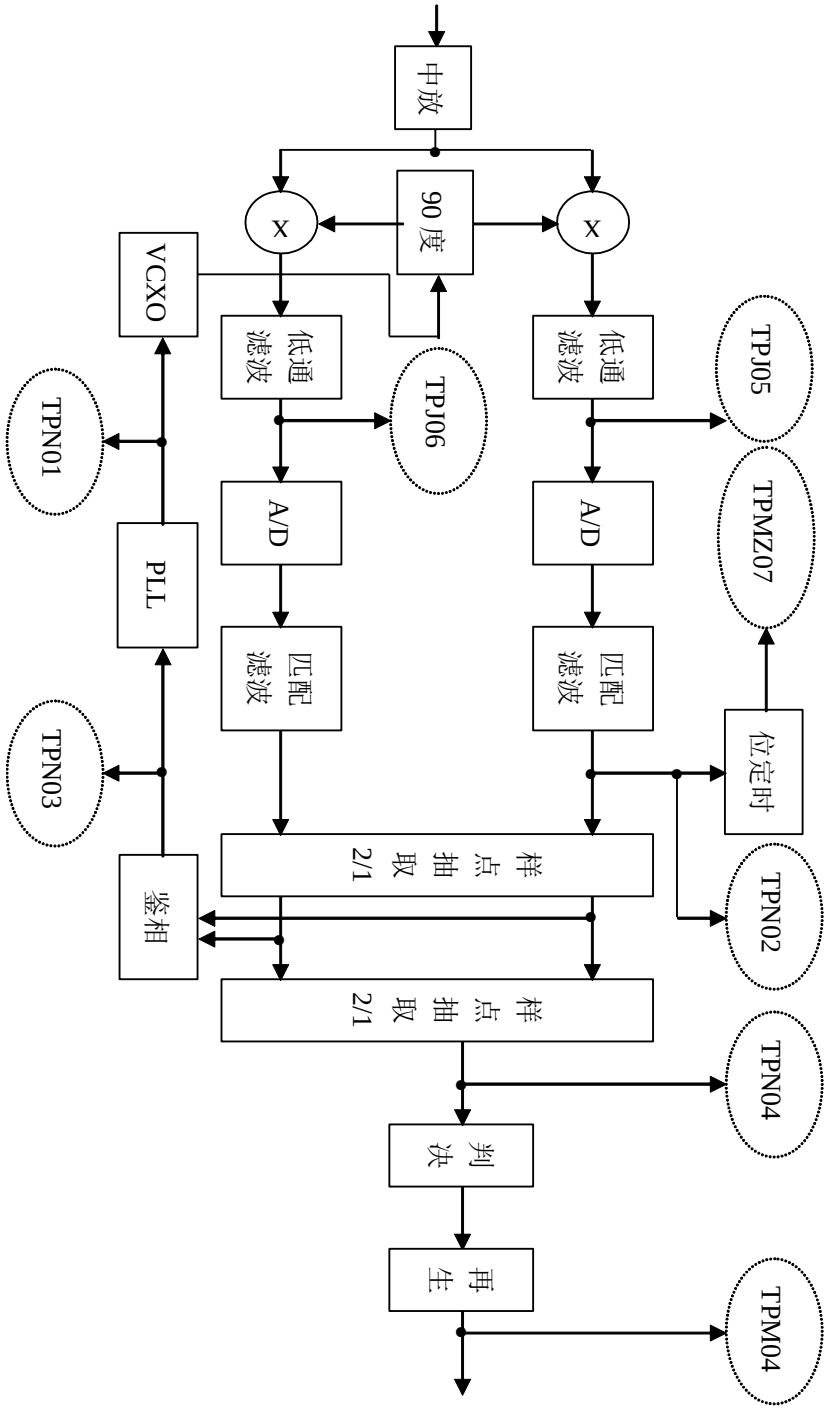



图 3.18　BPSK 解调方框图

## 3、BPSK 系统性能

对于调相信号，$\frac{E_b}{N_0}$ 的测量一般采用图 3.19 所示的测量方法。

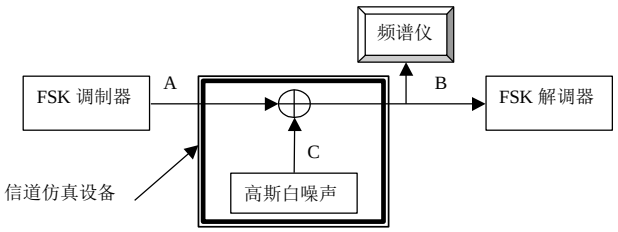



图 3.19　采用频谱仪测量 $\frac{E_b}{N_0}$ 连接示意图

利用频谱仪可以直接在 B 点测量出 $\frac{E_b}{N_0}$。将频谱仪的带宽调整到较为合适的状态，使 BPSK 的信号频谱占据频谱仪的 2/3 左右。频谱仪的分析带宽 $B_R$ 调整到 BPSK 信号带宽的 1/10~1/100 左右，一般可得到如图 3.20 所示的频谱：

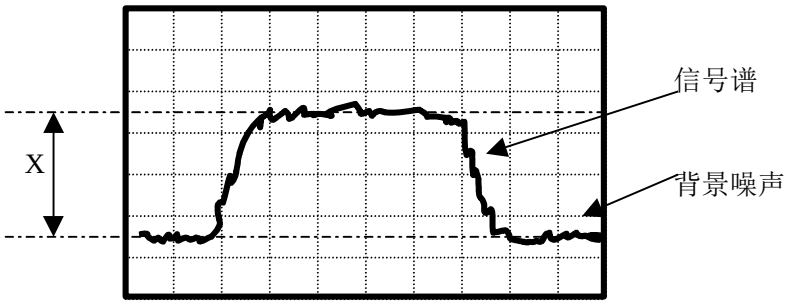



图 3.20　BPSK 的频谱示意图

在图中 X 是信号谱密度与噪声密度的差值，有下式成立：

$$\frac{E_b}{N_0}=\frac{E_s/R_b}{E_N/R_b}=X-1$$

因而通过频谱仪可以较为方便地测量 $\frac{E_b}{N_0}$。

对信道误码率的测量一般需通过专用仪表“误码测试仪”进行。误码测试仪首先发送一串伪码数据给信道设备，在信道设备进行 BPSK 调制，并经信道返回（主要是完成加噪功能），然后解调。解调之后的数据送入误码测试仪中进行比较，将误码进行计数。且将误码率显示出来。

## 二、实验仪器

1、JH5001 通信原理综合实验系统　　一台

2、20MHz 双踪示波器　　一台

3、JH9001 型误码测试仪（或 GZ9001 型）　　一台

# 三、实验目的

1、掌握 BPSK 调制和解调的基本原理；

2、掌握 BPSK 数据传输过程，熟悉典型电路；

3、了解数字基带波形时域形成的原理和方法，掌握滚降系数的概念；

4、掌握 BPSK 眼图观察的正确方法，能通过观察接收眼图判断信号的传输质量；

# 四、实验内容

测试前检查：首先通过菜单将通信原理综合实验系统调制方式设置成“BPSK 传输系统”；用示波器测量 TPMZ07 测试点的信号，如果有脉冲波形，说明实验系统已正常工作；如果没有脉冲波形，则需按面板上的复位按钮重新对硬件进行初始化。

## 1、BPSK 调制

### 1）BPSK 调制基带信号眼图观测

（1） 通过菜单选择不激活“匹配滤波”方式（未打勾），此时基带信号频谱成形滤波器全部放在发送端。以发送时钟（TPM01）作同步，观测发送信号眼图（TPi03）的波形。成型滤波器使用升余弦响应，α=0.4。判断信号观察的效果。

（2） 通过菜单选择激活“匹配滤波”方式（打勾），此时系统构成收发匹配滤波最佳接收机，重复上述实验步骤。仔细观察和区别与上述两种方式下发送信号眼图（TPi03）的波形。记录观测波形。

注：当通过选择菜单激活“匹配滤波”方式时，表示系统按匹配滤波最佳接收机组成，即发射机端和接收机端采用同样的开根号升余弦响应滤波器。当未激活“匹配滤波”方式时，系统为非匹配最佳接收机，整个滤波器滚降特性全部放在发射机端完成，但信道成型滤波器特性不变。

思考：怎样的系统才是最佳的？匹配滤波器最佳接收机性能如何从系统指标中反映出来？采用什么手段测量？

### 2）BPSK 调制信号 0/π 相位测量

选择输入调制数据为 0 / 1 码。用示波器的一路观察调制输出波形（TPK03），并选用该信号作为示波器的同步信号；示波器的一路连接到调制参考载波上（TPK06/或 TPK07），以此信号作为观测的参考信号。仔细调整示波器同步，观察和验证调制载波在数据变化点发生相位 0/π 翻转。

### 3）BPSK 调制信号包络观察

BPSK 调制为非恒包络调制，调制载波信号包络具有明显的过零点。通过本测量让学生熟悉 BPSK 调制信号的包络特征。测量前将模拟锁相环模块内的跳线开关 KP02 设置在 TEST

位置（右端）。

（1） 选择 0/1 码调制输入数据，观测调制载波输出测试点 TPK03 的信号波形。调整示波器同步，注意观测调制载波的包落变化与基带信号（TPi03）的相互关系。画下测量波形。

（2） 用特殊码序列重复上一步实验，并从载波的包络上判断特列码序列。画下测量波形。

（3） 用 m 序列重复上一步实验，观测载波的包络变化。

## 2、BPSK 解调

### 1）接收端解调器眼图信号观测

（1） 首先用中频电缆连结 KO02 和 JL02，建立中频自环（自发自收）。测量解调器 I 支路眼图信号测试点 TPJ05（在 A/D 模块内）波形，观测时用发时钟 TPM01 作同步。将接收端与发射端眼图信号 TPI03 进行比较，观测接收眼图信号有何变化（有噪声）。

（2） 观测正交 Q 支路眼图信号测试点 TPJ06（在 A/D 模块内）波形，比较与 TPJ05 测试波形有什么不同？根据电路原理图，分析解释其原因。

（3） 测试模块中的 TPN02 测试点为接收端经匹配滤波器之后的眼图信号观测点。通过菜单选择“匹配滤波”方式设置，重复上述实验步骤。解释为什么发端眼图已发生变化，而收端 TPN02 的眼图没有发生变化（仅电平变化）。

### 2）解调器失锁时的眼图信号观测

将解调器相干载波锁相环（PLL）环路跳线开关 KL01 设置在 2_3 位置（开环），使环路失锁。观测失锁时的解调器眼图信号 TPJ05，熟悉 BPSK 调制器失锁时的眼图信号（未张开）。观测失锁时正交支路解调器眼图信号 TPJ06 波形。

注意：将示波器时基从正常位置调整 2～5ms/DIV 对比观测。

### 3）解调器抽样判决点信号观察

（1） 选择输入测试数据为 m 序列，用示波器观察测试模块内抽样判决点（TPN04）的工作波形（示波器时基设定在 2～5ms）。

（2） TPMZ07 为接收端 DSP 调整之后的最佳抽样时刻。用示波器同时观察 TPMZ07（观察时以此信号作同步）和观察抽样判决点 TPN04 信号波形之间的相位关系。

### 4）解调器失锁时抽样判决点信号观察

将解调器相干载波锁相环（PLL）环路跳线开关 KL01 设置在 2_3 位置，使环路失锁。用示波器观察测试模块内抽样判决点 TPN04 信号波形，观测时示波器时基设定在 2～5ms。熟悉解调器失锁时的抽样判决点信号波形。

### 5）差分编码信号观测

通信原理实验箱仅对“外部数据输入”方式输入数据提供差分编码功能。外部数据可以来自误码仪产生或汉明编码模块产生的 m 序列输出数据。当使用汉明编码模块产生的 m 序列输出数据时，将汉明编码模块中的信号工作跳线器开关 SWC01 中的 H_EN 和 ADPCM 开关去除，将输入信号跳线开关 KC01 设置在 m 序列输出口 DT_M 上（右端）；将汉明译码模块中汉明译码使能开关 KW03 设置在 OFF 状态（右端），输入信号和时钟开关 KW01、KW02 设置在来自信道 CH 位置（左端）。

通过菜单选择发送数据为“外部数据输入”方式。

（1）将汉明编码模块中的信号工作跳线器开关 SWC01 中 M_SEL2 跳线器插入，产生 7 位周期 m 序列。用示波器同时观察 DSP+FPGA 模块内发送数据信号 TPM02 和差分编码输出数据 TPM03，分析两信号间的编码关系。记录测量结果。

（2）将汉明编码模块中的信号工作跳线器开关 SWC01 中 M_SEL2 和 M_SEL2 跳线器都插入，产生 15 位周期 m 序列，重复上述测量步骤。记录测量结果。

### 6）解调数据观察

（1） 在上述设置跳线开关基础上，用示波器同时观察 DSP+FPGA 模块内接收数据信号 TPM04 和发送数据信号 TPM02，比较两数据信号进行是否相同一致（正常差分译码）。测量发送与接收数据信号的传输延时，记录测量结果。

（2） 在“外部数据输入”方式下，重复按选择菜单的确认按键，让解调器重新锁定（存在相位模糊度，会使解调数据反向），观测解调器差分译码电路是否正确译码。

### 7）解调器相干载波观测

首先建立中频自环，通过菜单选择输入测试数据为“特殊码序列”或“m 序列”。

（1） 用双踪示波器同时测量发端调制载波（TPK07）和收端恢复相干载波（TPLZ07），并以 TPK07 作为示波器的同步信号。在环路正常锁定时，观测收发载波信号的相关关系。

（2） 将解调器相干载波锁相环（PLL）环路跳线开关 KL01 设置在 2_3 位置（开环），使环路失锁。重复上述测量步骤，观测在解调器失锁时收发载波信号的相关关系。

（3） 将解调器相干载波锁相环（PLL）环路跳线开关 KL01 设置在 1_2 位置（闭环），让解调器锁定（如无法锁定，可按选择菜单上的确认键，让解调器重新同步锁定）。断开中频连接电缆，观测在无输入信号情况下，解调器载波是否与发端同步。记录测量结果。

## 3、BPSK 系统性能测量

### 准备工作：

（1）首先用中频电缆连结 KO02 和 JL02，建立中频自环（自发自收）。

（2）误码仪关机，将误码测试仪 RS422 端口用 DB9 电缆（在误码测试仪的后部）连接到通信原理实验箱同步接口模块的数据通信端口 JH02 上（通过转接电缆），误码仪必须断电后连接!。

（3）使汉明编译码系统不工作。将汉明编码模块中的信号工作跳线器开关 SWC01 中的 H_EN 和 ADPCM 开关去除，将输入信号跳线开关 KC01 设置在同步数据接口 DT_SYS 上（左端）；将汉明译码模块中汉明译码使能开关 KW03 设置在 OFF 状态（右端），输入信号和时钟开关 KW01、KW02 设置在来自信道 CH 位置（左端）。

（4）通过菜单选项选择外部数据源方式，此时发送数据将由误码测试仪提供，同时将解调之后的数据送到误码测试仪中进行误码分析。

（5）误码仪加电。将误码仪工作“模式”设置为连续，“码类”选择 $2^9$-1，“接口”选择外时钟和 RS422 方式。

### 1）BPSK 误码性能指标测试

（1）首先将噪声模块内的噪声输出电平调整开关 SWO01 设置在最低一挡 10000001，此时噪声输出电平最小，信噪比 S/N 最大。测量该 S/N 下的误码率，记录测量结果填入表内。

（2）将噪声输出电平调整开关 SWO01 增加一挡为 10000010，降低一挡 S/N。重复上述测量，记录测量结果填入表内。

（3）逐步降低 S/N，重复上述测量，直至 S/N 最低。将不同信噪比下 BPSK 误码测量结果填入表内。定性画出各挡 S/N～$P_e$ 特性曲线。

| $e_b/n_0$ | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| SWO01 | 10000001 | 10000010 | 10000100 | 10001000 | 10010000 | 10100000 | 11000000 | 10000000 |
| $P_e$ | | | | | | | | |

注：有条件可精确校准各挡信噪比（$e_b/n_0$），画出 $e_b/n_0$～$P_e$ 特性曲线。

### 2）噪声环境下的 BPSK 解调信号眼图观测

测量方法见 BPSK 解调中的第 1 项测试内容。逐渐改变 $e_b/n_0$，观测在不同信噪比下的 BPSK 解调眼图信号。熟悉 $P_e \approx 1\times10^{-4}$ 时眼图信号。

### 3）噪声环境下匹配滤波最佳接收机性能验证

（1）按准备工作设置设备。通过选择菜单工作方式选择不激活“匹配滤波”设置（未打勾）；调整噪声模块内的噪声输出电平调整开关 SWO01，使信道有误码。记录当前 S/N 的 $P_e$ 误码率。

（2）通过选择菜单工作方式选择激活“匹配滤波”设置（打勾），在相同信噪比条件下测量误码率，记录测量结果。

（3）改变 S/N，重复上述（1）、（2）测量步骤，记录测量结果。

分析和比较将整个滤波器滚降特性全部放在发射机端与“匹配滤波”最佳接收机的性能。

**4）测试数据对误码率测试的影响测量**

（1）按准备工作设置设备。将噪声模块内的噪声输出电平调整开关 SWO01 设置在最低一挡 00000001，此时噪声输出电平最小，信噪比 S/N 最大。测量该 S/N 下的误码率。此时误码仪“码类”选择为 29-1，测量结果应无错码。

（2）保持信噪比 S/N 不变，将误码仪“码类”选择为 215-1，重新测量误码率。测量结果会出现错码。

思考：在信噪比 S/N 不变的条件下，为何误码仪测试用 m 序列周期加长会产生错码？解决用什么方法？今后在设备工程测量中应考虑到什么因素？

**5）解调器抽样判决点信号受噪声影响的观测**

测量方法见 BPSK 解调中的第 7 项测试内容。逐渐改变 $e_b/n_0$，观测在不同信噪比下的 BPSK 解调器抽样判决点处的信号波形变化情况。掌握解调抽样判决点处的信号波形随 $e_b/n_0$（或 $P_e$）变化的规律。

# 五、实验报告

1、写出眼图正确的观察方法。

2、叙述 Nyquit 滤波作用。

3、画出主要测量点的工作波形。

4、说明 BPSK 的解调工作过程。

5、画出 BPSK 的误码性能曲线。

# 实验四 PCM 编译码器系统

## 一、实验原理和电路说明

PCM 编译码模块将来自用户接口模块的模拟信号进行 PCM 编译码，该模块采用 MC145540 集成电路完成 PCM 编译码功能。该器件具有多种工作模式和功能，工作前通过显示控制模块将其配置成直接 PCM 模式（直接将 PCM 码进行打包传输），使其具有以下功能：

1、对来自接口模块发支路的模拟信号进行 PCM 编码输出。

2、将输入的 PCM 码字进行译码（即通话对方的 PCM 码字），并将译码之后的模拟信号送入用户接口模块。

在通信原理实验平台中，有二套完全一致的 PCM 编译码模块，这二个模块与相应的电话用户接口模块相连。

本教程仅以第一路 PCM 编译码原理进行说明，另一个模块原理与第一路模块相同，不再重述。

PCM 编译码器模块电路与 ADPCM 编译码器模块电路完全一样，由语音编译码集成电路 U502（MC145540）、运放 U501（TL082）、晶振 U503（20.48MHz）及相应的跳线开关、电位器组成。

电路工作原理如下：

PCM 编译码模块中，由收、发两个支路组成，在发送支路上发送信号经 U501A 运放后放大后，送入 U502 的 2 脚进行 PCM 编码。编码输出时钟为 BCLK（256KHz），编码数据从 U502 的 20 脚输出（DT_ADPCM1），FSX 为编码抽样时钟（8KHz）。编码之后的数据结果送入后续数据复接模块进行处理，或直接送到对方 PCM 译码单元。在接收支路中，收数据是来自解数据复接模块的信号（DT_ADPCM_MUX），或是直接来自对方 PCM 编码单元信号（DT_ADPCM2），在接收帧同步时钟 FSX（8KHz）与接收输入时钟 BCLK（256KHz）的共同作用下，将接收数据送入 U502 中进行 PCM 译码。译码之后的模拟信号经运放 U501B 放大缓冲输出，送到用户接口模块中。

PCM 编译码模块中的各跳线功能如下（测试点与 ADPCM 编译码模块相同）：

1、跳线开关 K501 是用于选择输入信号，当 K501 置于 N（正常）位置时，选择来自用

户接口单元的话音信号；当 K501 置于 T（测试）位置时选择测试信号。测试信号主要用于测试 PCM 的编译码特性。测试信号可以选择外部测试信号或内部测试信号，当设置在交换模块内的跳线开关 KQ01 设置在 1_2 位置（左端）时，选择内部 1KHz 测试信号；当设置在 2_3 位置（右端）时选择外部测试信号，测试信号从 J005 模拟测试端口输入。

2、跳线器 K502 用于设置发送通道的增益选择，当 K502 置于 T（正常）位置时，选择系统平台缺省的增益设置；当 K502 置于 T（调试）位置时可将通过调整电位器 W501 设置发通道的增益。

3、跳线器 K504 用于设置 PCM 编码器是用于输入数据信号选择，当 K504 置于 MUX（左）时处于正常状态，解码数据来自解数据复接模块的信号；当 K504 置于 ADPCM2（中）时处于正常状态，解码数据来自对方 PCM 编码单元信号；当 KF04 置于 LOOP（右）时 PCM 单元将处于自环状态。

4、跳线器 K503 用于设置接收通道增益选择，当 K503 置于 T（正常）时，选择系统平台缺省的增益设置；当 K503 置于 N（调试）时将通过调整电位器 W502 设置收通道的增益。

该单元的电路框图见图 4.1。二个模块电路完全相同。

在该模块中，各测试点的定义如下：

1、 TP501：发送模拟信号测试点

2、 TP502：PCM 发送码字

3、 TP503：PCM 编码器输入/输出时钟

4、 TP504：PCM 编码抽样时钟

5、 TP505：PCM 接收码字

6、 TP506：接收模拟信号测试点

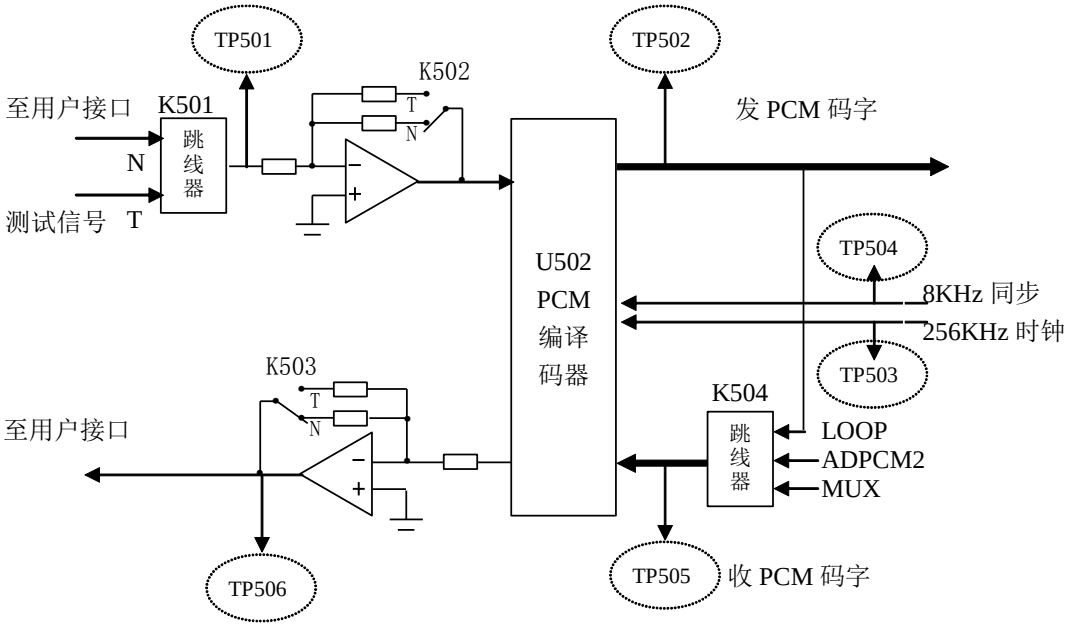



图 4.1 PCM 模块电路组成框图

## 二、实验仪器

1、JH5001 通信原理综合实验系统　　一台

2、20MHz 双踪示波器　　一台

3、函数信号发生器　　一台

4、音频信道传输损伤测试仪　　一台

## 三、实验目的

1、了解语音编码的工作原理，验证 PCM 编译码原理；

2、熟悉 PCM 抽样时钟、编码数据和输入/输出时钟之间的关系；

3、了解 PCM 专用大规模集成电路的工作原理和应用；

4、熟悉语音数字化技术的主要指标及测量方法；

## 四、实验内容

加电后，通过菜单选择“PCM”编码方式。此时，系统将 U502 设置为 PCM 模式。

### 1、PCM 编码器

#### 1）输出时钟和帧同步时隙信号观测

用示波器同时观测抽样时钟信号（TP504）和输出时钟信号（TP503），观测时以 TP504

做同步。分析和掌握 PCM 编码抽样时钟信号与输出时钟的对应关系（同步沿、脉冲宽度等）。

**2）抽样时钟信号与 PCM 编码数据测量**

方法一：将跳线开关 K501 设置在 T 位置，用函数信号发生器产生一个频率为 1000Hz、电平为 2Vp-p 的正弦波测试信号送入信号测试端口 J005 和 J006（地）。

用示波器同时观测抽样时钟信号（TP504）和编码输出数据信号端口（TP502），观测时以 TP504 做同步。分析和掌握 PCM 编码输出数据与抽样时钟信号（同步沿、脉冲宽度）及输出时钟的对应关系。

方法二：将输入信号选择开关 K501 设置在 T 位置，将交换模块内测试信号选择开关 K001 设置在内部测试信号 1_2 位置（左端）。此时由该模块产生一个 1KHz 的测试信号，送入 PCM 编码器。

（1） 用示波器同时观测抽样时钟信号（TP504）和编码输出数据信号端口（TP502），观测时以 TP504 做同步。分析和掌握 PCM 编码输出数据与帧同步时隙信号、发送时钟的对应关系。

（2） 将发通道增益选择开关 K502 设置在 T 位置（右端），通过调整电位器 W501 改变发通道的信号电平。用示波器观测编码输出数据信号（TP502）随输入信号电平变化的关系。

## 2、PCM 译码器

将跳线开关 K501 设置在 T 位置（左端）、K504 设置在 LOOP 位置（右端）。此时将 PCM 输出编码数据直接送入本地译码器，构成自环。用函数信号发生器产生一个频率为 1004Hz、电平为 2Vp-p 的正弦波测试信号送入信号测试端口 J005 和 J006（地）。

**PCM 译码器输出模拟信号观测**

（1） 用示波器同时观测解码器输出信号端口（TP506）和编码器输入信号端口（TP501），观测信号时以 TP501 做同步。定性的观测解码恢复出的模拟信号质量。

（2） 将测试信号频率固定在 1000Hz，改变测试信号电平，定性的观测解码恢复出的模拟信号质量。观测信噪比随输入信号电平变化的相关关系。

（3） 将测试信号电平固定在 2Vp-p，调整测试信号频率，定性的观测解码恢复出的模拟信号质量。观测信噪比与输入信号频率变化的相关关系。

## 3、系统性能指标测量

注：如无音频损伤测试仪时，可以用示波器定性的观察模拟信号受量化噪声及电路噪声的影响。

**1）PCM 编译码系统动态范围测量**

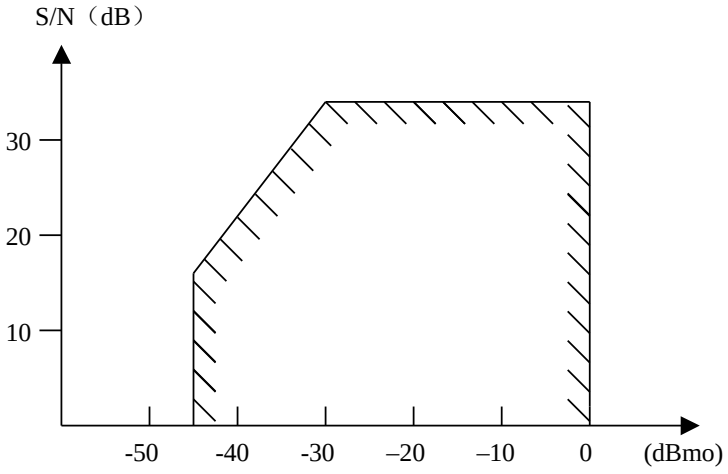



图 4.2.4 PCM 编译码系统动态范围样板图

动态范围是指在满足一定信噪比的条件下，允许输入信号电平变化的范围。通常规定测试信号的频率为 1004Hz，动态范围应满足 CCITT 建议的框架（样板值），如图 4.2.4 所示。

测试时将跳线开关 K501 设置在 T 位置、K504 设置在 LOOP 位置，此时使 PCM 编码器和译码器构成自环。

动态范围的测试连接见图 4.2.5，该项测量内容视配备的教学仪表来定。测量时，输入信号由小至大调节，测量不同电平时的 S/N 值，记录测量数据。为确保器件安全，不要求学生对输入信号的临界过载信号进行验证，取输入信号的最大幅度为 $5V_{p\text{-}p}$。

**2）PCM 编译码系统信噪比测量**

跳线开关设置同上，测试连接见图 4.2.5。

测量时，选择一最佳编码电平（通常为-10dBr），在此电平下测试不同频率下的 S/N 值。频率选择在 300Hz、500Hz、800Hz、1004Hz、2010Hz、3000Hz、3400Hz，直接从音频损伤测试仪上读取数据，记录测量数据。该项测量视配备的教学仪表来定。

**3）频率特性测量**

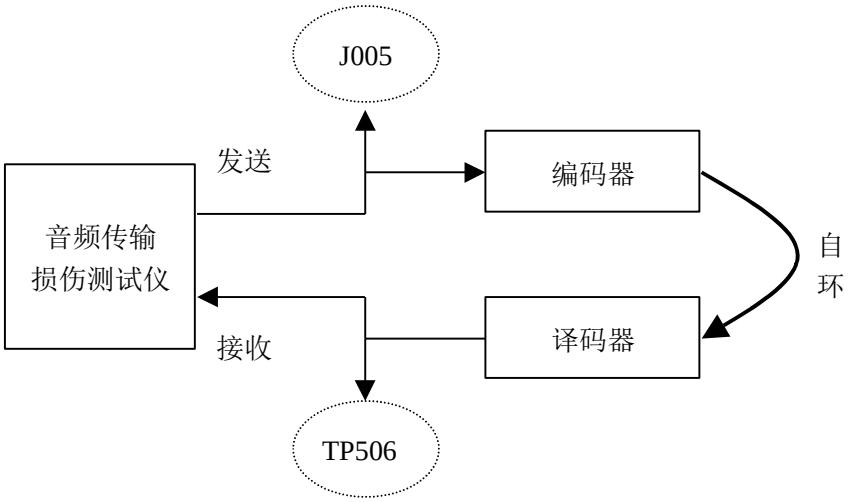



图 4.2.5 动态范围测试连接图

跳线开关设置同上。用函数信号发生器产生一个频率为 1004Hz、电平为 2Vp-p 的正弦波测试信号送入信号测试端口 J005 和 J006（地）。用示波器（或电平表）测量输出信号端口 TP506 的电平。改变函数信号发生器输出频率，用点频法测量。测量频率范围：250Hz～4000Hz。

该项测试也可以直接通过音频损伤测试仪测试。

**4）信道自环增益测量**

跳线开关设置同上。用函数信号发生器产生一个频率为 1004Hz、电平为 2Vp-p 的正弦波测试信号送入信号测试端口 J005 和 J006。用示波器（或电平表）输出信号端口（TP506）的电平。将收发电平的倍数（增益）换算为 dB 表示。

该项测试也可以直接通过音频损伤测试仪测试。

**5）PCM 编译码系统信道空闲噪声测量**

跳线开关设置同上，测试连接见图 4.2.5。

空闲噪声指标从音频损伤测试仪上直接读取。该项测量视配备的教学仪表来定。

## 五、实验报告

1、整理实验数据，画出相应的曲线和波形。

2、对 PCM 和△M 系统的系统性能进行比较，总结它们各自的特点。

3、思考在通信系统中 PCM 接收端应如何获得接收输入时钟和接收帧同步时钟信号？

# 附录 A　实验系统概述

通信原理综合实验系统中，涉及有数字调制解调技术、纠错编译码技术、语音编码技术、数字复接技术、基带传输技术、电话接口技术、数字接口技术等。该系统将当今的核心技术和新器件融入通信原理课程，其具有以下特点：

1. 先进性：数字信号处理（DSP）技术+PFGA 技术；
2. 全面性：通过这些测试接口，可以对每一种电路模块的功能和性能有一个全面的了解。
3. 系统性：每个电路测试模块可以放入多个系统中进行综合实验，
4. 基础性：与当今通信原理课程和教学大纲结合紧密；
5. 使用性：便于老师对实验内容的组织和实施。

## A.1 电路组成概述

在通信原理综合实验系统中，主要由下列功能模块组成：

1、 显示控制模块
2、 FPGA 初始化模块
3、 信道接口模块
4、 DSP+FPGA 处理模块
5、 D/A 模块
6、 中频调制模块
7、 中频解调模块
8、 A/D 模块
9、 测试模块
10、 汉明编码模块
11、 汉明译码模块
12、 噪声模块
13、 电话接口（1、2）模块
14、 DTMF（1、2）模块
15、 PAM 模块
16、 ADPCM（1、2）模块
17、 CVSD 发模块
18、 CVSD 收模块
19、 帧传输复接模块
20、 帧传输解复接模块

21、 AMI/HDB3 码模块

22、 CMI 编码模块

23、 CMI 译码模块

24、 模拟锁相环模块

25、 数字锁相环模块

在该硬件平台中，模块化功能较强，其电路布局见图 A.1 所示。对于每一个模块，在 PCB 板上均由白色线条将其明显分割开来，每个测试模块都能单独开设实验，便于教学与学习。

在通信原理综合实验系统中，电源插座与电源开关在机箱的后面，电源模块在该实验平台电路板的下面，它主要完成交流~220V 到+5V、+12V、-12V 的直流变换，给整个硬件平台供电。

在平台上具有友好的人机接口界面设计，学生可以通过键盘选择相应的工作模式与设置有关参数。菜单可选择方式及设置参数 1.26 一节。

通信原理综合实验系统通过下面几个端口与外部进行连接：

1. JH02（实验箱左端同步口模块内）：同步数据接口方式。该接口电平特性为 RS422，通过该端口接收外部来的发送数据，并送入调制器中；同时将解调器解调之后的数据通过该端口送往外部设备。在该接口中，还包括调制解

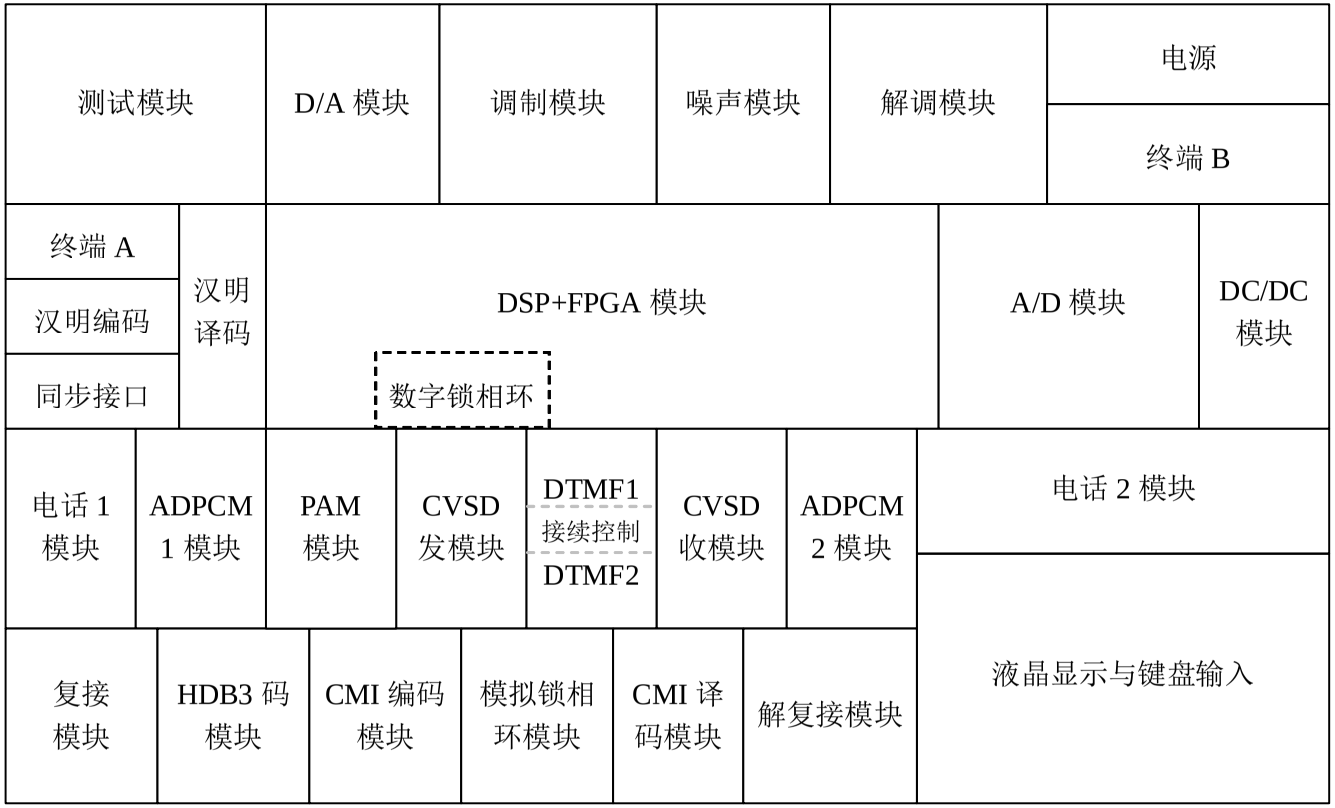



图 A.1　通信原理综合实验系统布局图

调器提供的收发时钟信号。在使用 RS422 接口时需要通过菜单设置，选择调制器输入信号为“外部数据信号”。

2. K002（实验箱中上部左端的中频 Q9 连接器）：为中频发送信号连接器，调制后的中频信号通过该口对外输出，一般通过中频同轴电缆送入信道仿真平台（JH6001）或自环送到接收端设备。
3. JL02（实验箱中上部右端的中频 Q9 连接器）：从信道中来的中频信号（如加噪后的中频信号、无线衰落后的低中频信号）由该端口输入，送入解调模块中进行解调。
4. J007（数字测试信号输入）、J005（模拟测试信号输入）、J006（地）（在实验箱左端的信号输入接头）：为测试信号输入湍，用于向通信原理综合实验系统中送入各种测试信号。测试信号的输入能否加入测试模块还与测试模块的跳线器设置有关，具体见测试步骤。
5. JF01、JG01：标准异步数据端口 A（JF01）和 B（JG01）。A 到 B 的异步传输经过信道传输，B 到 A 为直通方式。

通信原理综合实验系统接口布局见图 A.2 所示。

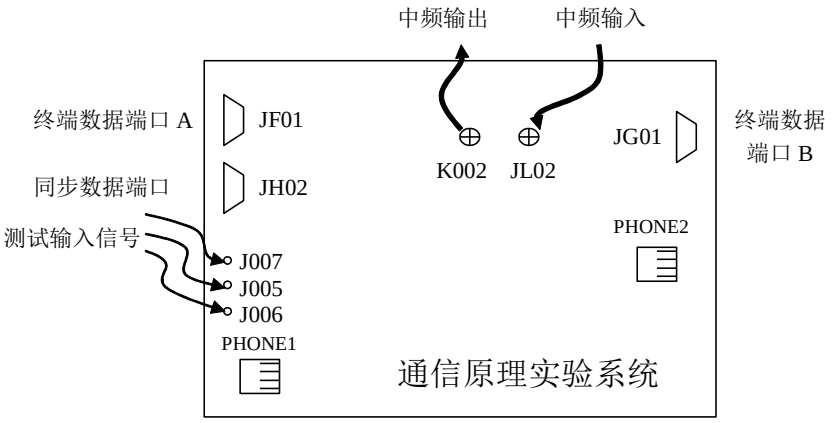



图 A.2　通信原理综合实验系统接口布局示意图

在通信原理综合实验系统中，为便于学习和实验，各项实验内容是以模块进行划分，每个测试模块可以单独开设实验。各模块之间的系统连接见图 A.3 所示。由图可以看出，在系统中通信双方的传输信道是不对称的。

从用户电话 1 向用户电话 2 的信号支路是以无线信道传输技术为主，信号流程为：用户电话接口 1→话音编码 1→汉明纠错编码→信道调制→加噪信道→信道解调→汉明译码→话音解码 2→用户电话接口 2。

从用户电话 2 向用户电话 1 的信号支路是以有线信道传输技术为主，信号流程为：用户电话接口 2→话音编码 2→信道复接→线路编码（HDB3/CMI）→线路译码→信道解复接→话音解码 1→用户电话接口 1。

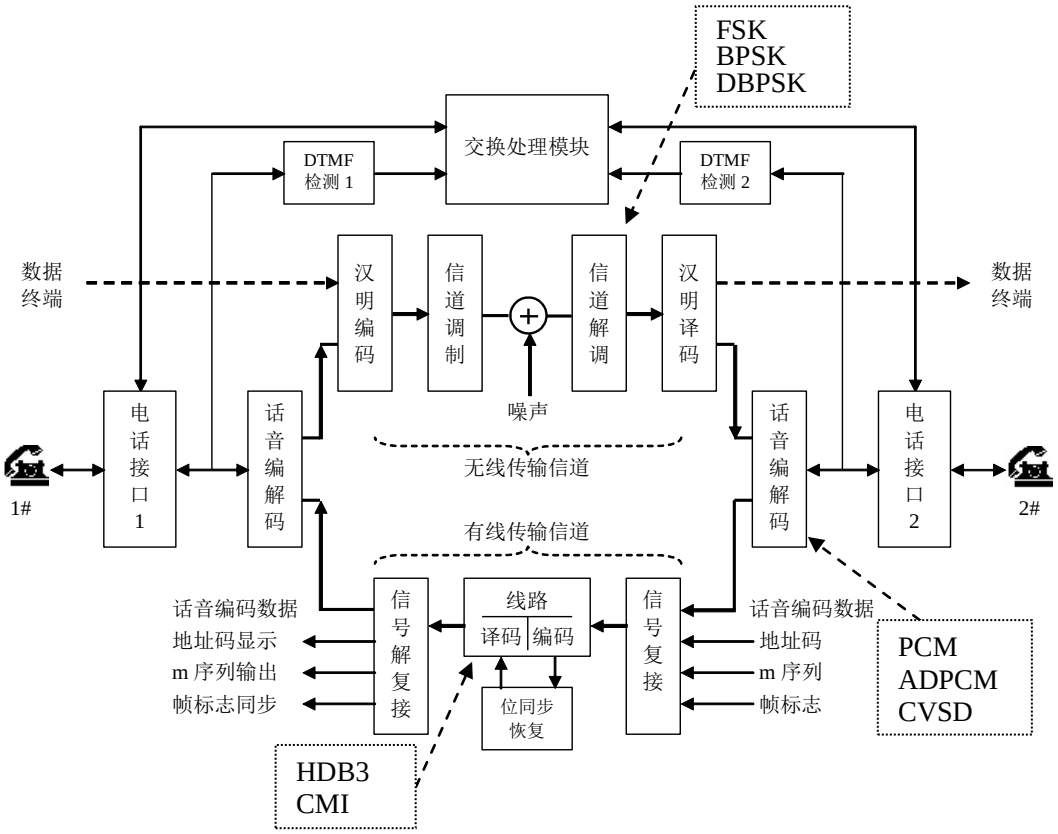



图 A.3 各电路测试模块间连接框图

这样设计实验系统的目的是为了在不增加成本的条件下最大限度的增加系统实验内容，加强学生的动手能力，便于将各测试模块放在不同系统中进行测试、比较，加强学生对各模块在系统中的地位、作用、性能的掌握，使学生对通信系统有一个较全面的了解，同时老师可以根据实验实际课时对实验项目进行组织和优化。

在每一个模块中，都有测试点与测试插座对应信号点的定义。

## A.2 显示控制模块

在通信终端模块中，需进行系统配置和参数设置，这一功能主要在显示控制模块中完成。显示控制模块接收学生的按键信息，对相应硬件模块进行初始化。该模块放在实验箱内下部，其组成主要构成是一个最基本的 8031 系统。该模块运行过程如下：

1、 系统上电复位（或学生从操作界面按复位按钮），89C52 从主程序入口处开始执行；

2、 通过 RESETH，RESETL 对相应模块进行复位。

3、 学生通过操作界面选择某一工作模式，根据学生的选择 MCS51 初始化单元的模式。

4、 复位 FPGA 初始化模块，使其按要求进行初始化。

5、 MCS51 显示系统的设置状态（例如由小手状态变成打勾状态）。

6、 延时 5 秒后，各模块进入正常工作状态。

7、 显示控制模块继续等待处理学生的输入，接收学生的命令。

## A.3 FPGA 初始化模块

FPGA 初始化模块根据不同配置对 FPGA 初始化，其主要由一片处理机完成。

FPGA 初始化模块根据来自显示控制模块选择相应的初始化数据对 UM01（EP1K30）进行初始化,初始化信号线由 MCS51 的 P1 口上的五个脚组成,其与 UM01 的管脚直接相连。

FPGA 初始化模块是在显示控制模块的控制下完成初始化工作。当显示控制模块需要对 FPGA 进行初始化时，通过向 FPGA 初始化模块发出命令并对其进行复位。FPGA 初始化模块在复位后，按显示控制模块的要求对 UM01 下载不同的初始化程序。FPGA 初始化模块在初始化过程中，首行先使发光二极管 DV01 熄灭，然后利用五根初始化信号线对 UM01 初始化。当初始化完毕，发光二极管 DV01 点亮，并通过 INIT_END 通知显示控制模块当前的初始化模块已经完成。只有当 DV01 点亮之后，系统才可以对后面的事件进行处理。

在 FPGA 初始化过程中，面板显示窗口有一五角星对应闪动。

## A.4 用户接口模块

用户电路也称为用户线接口电路（Subscriber Line Interface Circuit—SLIC）。其一般具有 B（馈电），R（振铃）、S（监视）、C（编译码）、H（混合）、T（测试）、O（过压保护）七项功能。在通信终端平台中采用 PBL38710 专用用户接口器件，其内部结构组成框图如图 A.4 所示。PBL38710 具有多种工作模式，在这里主要使用其两根控制线 C0、C1 与一根状态线 DET。当 C1＝0、C2＝1 时，DET 将检测用户线在没有铃流时的用户摘挂机状态，DET＝0 表示用户摘机，DET＝1 表示用户未摘机。当 C1＝1、C2＝0 时，DET 将检测用户线在有铃流时的用户摘挂机状态，DET＝0 表示用户摘机，DET＝1 表示用户未摘机，在该状态下，PBL38710 还将输入的铃流信号放大以达到驱动用户电路的要求。当然，还可以设置控制线的其它方式来控制 PBL38710 进入相应的状态，可参见 PBL38710 的说明书。

PBL38710 的检测模式与检测输出的关系见表 A.1。

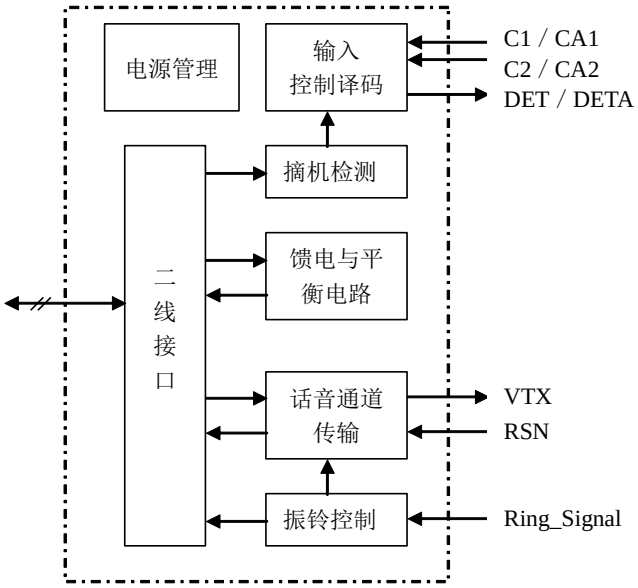



图 A.4　PBL38710 内部结构示意

在通信终端平台中，有两套完全一致的用户接口电路，左边的用户终端电话号码为 1，右端用户终端电话号码为 2。

为保护测试模块的安全，用户接口模块实验所需的全部测试点都通过测试插座引出，因而学生要求对用户接口电路的实验可在测试模块中进行。

表 A.1　PBL38710 的模式与检测输出关系

| TP105 / C2 | TP104 / C1 | TP103 |
|---|---|---|
| 1 | 0 | 0：用户摘机 |
| | | 1：用户未摘机 |
| 0 | 1 | 0：振铃状态下摘机 |
| | | 1：振铃状态下未摘机 |

下面以左边用户接口电路为例说明用户接口电路的基本原理，其框图组成见图 A.5 所示。用户接口模块由 U101（PBL38710）、U102（TL082）及相应的跳线器、电位器等元件组成。用户话机是通过 T1、R1 线与通信原理综合实验系统相连，在实际使用通信终端中，还应包括保护电路（主要是对地保护与抗雷电保护等等），这部分电路在实验平台中没有包括。U101 完成用户摘挂机检测、馈电、2/4 线变换、振铃等功能。U101 的话音发送支路经运放 U102A 放大输出。在话音接收支路，接收的模拟信号经运放 U102B 放大输入到 U101 中。在这里，接收支路可以是下面几种类型的信号：

1、来自 ADPCM 模块的话音信号；

2、各种音信号（拨号音信号、忙音信号、回铃音信号）。

各种音信号由接续控制处理模块根据用户电话呼叫的不同进程，选择其中一个信号送入用户接口电路 U101 中。

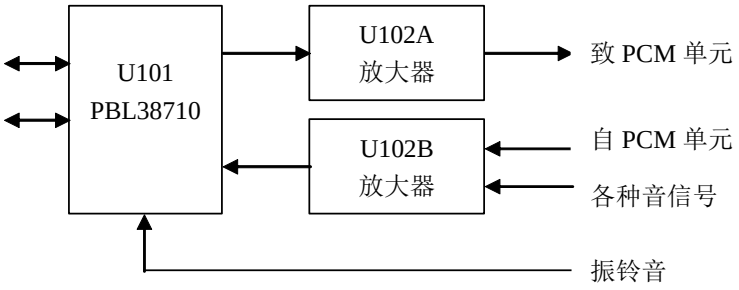



图 A.5 用户接口模块 1 框图

用户接口单元的电原理图有两张，分别见图 A.6、图 A.7。

在图 A.6 用户接口模块 1 中跳线功能如下：

1、跳线开关 K101 用于设置发送通道的增益：当 K101 置于 1_2 位置时（N：左端），选择系统的缺省增益设置；当 K101 置于 2_3 位置时（T：右端），学生可以通过调整电位器 W101 来设置发通道增益的大小。正常情况下，K101 置在 N（左端）位置。

2、跳线开关 K102 用于设置接收通道的增益：当 K102 置于 1_2 位置时（N：左端），选择系统的缺省增益设置；当 K102 置于 2_3 位置时（T：右端），学生可通过调整电位器 W102 来设置接收通道增益的大小。正常情况下，K102 设置在 N（左端）状态。

因用户 1→用户 2 与用户 2→用户 1 的传输信道是非对称的，用户接口模块 2 中增加了 K203 跳线开关。当 K203 置于 1_2 位置时（ ADPCM：左端），接收的话音信号来自 ADPCM1 译码模块；当 K203 置于 2_3 位置时（CVSD：右端）时，接收的话音信号来自 CVSD 接收模块。

在用户接口模块 1 中，各测试点的定义如下：

1、TP101：接电话机 T1 线

2、TP102：接电话机 R1 线

3、TP103：摘、挂机状态检测

4、TP104：振铃控制 C1

5、TP105：振铃控制 C2

6、TP106：发送话音信号电平

7、TP107：接收话音信号电平

在用户接口模块 2 中，各测试点的定义与用户接口模块 1 基本对应，同学可参照。

图 A.6 用户 1 接口单元电原理图

图 A.7　用户 2 接口单元电原理图

## A.5 双音多频检测（DTMF）模块

该模块对用户接口模块发送支路信号进行双音多频检测，并将检测的结果送到交换接续控制模块中进行接续处理。在通信原理综合实验系统中，有两套完全一致的双音多频检测模块，这两个模块分别与相应的电话用户接口模块相连。

双音多频检测模块电路原理图见图 A.8 和图 A.9 所示。

本教程仅以双音多频检测模块 1 的原理进行说明，另一个模块原理与第一个模块相同，不再重述。

双音多频检测模块由 U301（CM8870）、X301（3.58MHz 晶体）及相应的跳线器、电位器组成。

从用户接口单元来的输入信号进入 U301 进行双音多频检测。

在 U301 双音多频检测电路中，X301 为的晶体，它为 U301 工作提供基本的参考频率。当 U301 检测到存在双音多频时，U301 的检测信号 DET_DTMF1＝1，此时交换接续控制模块将双音多频代码（DTMFA3、DTMFA2、DTMFA1、DTMFA0）读入，用以完成相应的呼叫接续。

跳线器 K301 用于设置双音多频检测器的输入信号电平，当 K301 置于 1_2 位置时（左端），选择通信终端平台缺省的电平设置；当 K301 置于 2_3 时（右端），学生可通过调整电位器 W301 设置双音多频检测器的输入信号电平。

在该模块中，各测试点的定义如下：

1、 TP301：双音多频检测器输入模拟信号

2、 TP302：双音多频检测有效信号（高电平有效）

3、 TP303、TP304、TP305、TP306：双音多频码（D0、D1、D2、D3）

图 A.8 双音多频检测1 模块电原理图

图 A.9 双音多频检测模块2 电原理图

## A.6 ADPCM 编译码模块

ADPCM 编译码模块对模拟信号进行 PCM/ADPCM 编译码，并送入后续模块进行处理。同时将信道上接收的 PCM/ADPCM 码进行译码处理，还原成模拟信号。PCM/ADPCM 编译码器由 MC145540 集成电路完成，该器件通过配置可设置成以下两种不同模式：

1、 PCM 模式：进行 PCM 编译码；

2、 ADPCM 模式：进行 ADPCM 编译码。

在通信原理实验箱中，ADPCM 模块 1 和模块 2 分别与用户接口 1 和接口 2 相连。

ADPCM 模块 1 电路功能组成框图见图 A.10 所示。

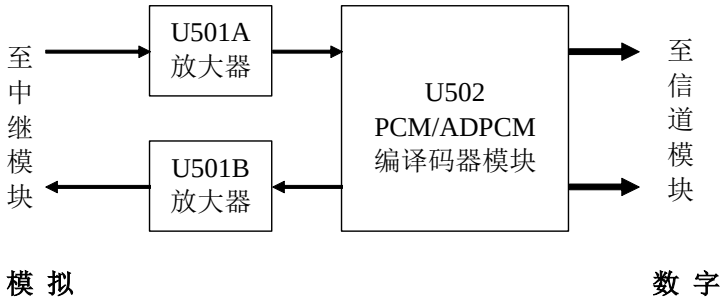



图 A.10　ADPCM 模块 1 框图

ADPCM 模块 1 和 ADPCM 模块 2 电路原理图分别见图 A.11 和图 A.12 所示。

本教材以 ADPCM 模块 1 为例描述电路工作原理。该模块由收、发两条支路组成。在发送支路上发送信号经运放 U501A（TL082）放大后进入 U502(MC145540)进行 PCM 或 ADPCM 编码，编码主时钟为 BCLK（256KHz），编码输出为 DT_ADPCM1(FSX 为编码输出的帧脉冲信号)，编码之后的信号送入后续模块处理。在接收支路，来自对方的 PCM 或 ADPCM 编码信号，在接收帧脉冲 FSX 和编码主时钟为 BCLK 主时钟的作用下送入 U502(MC145540)译码、译码之后的模拟信号经运放 U501B 放大输出，送到用户 1 接口模块。

U503 是 20.48MHz 晶体振荡器，供 MC145540 内部信号处理使用。

ADPCM 模块 1 各跳线开关功能如下：

1、跳线开关 K501 是用于选择正常的发送话音信号还是测试信号，当 K501 置于 1_2 时（N：左端），选择来自用户接口单元的话音信号；当 K501 置于 2_3 时（T：右端）选择测试信号，外部测试信号主要用于测试 PCM/ADPCM 的编译码特性。测试信号受接续模块中跳线器 K001 控制：K001 设置在 2_3 位置（右端），测试信号来自 J005 输入信号；K001 设置在 1_2 位置（左端），测试信号来自实验箱自身产生的 1KHz 信号。

2、跳线器 K502 用于设置发通道的信号电平，当 K502 置于 1_2 时（N：左端），选择缺省的电平设置；当 K502 置于 2_3 时（T：右端），将通过调整电位器 W501 设置发通道的信号电平。

3、跳线器 K504 用于设置 PCM/ADPCM 编码器是处于正常工作状态还是处于自环状态，当 K504 置于 1_2 时（MUX：左端）时，输入数据来自解复接模块；当 K504

置于 3_4 时（ADPCM2：中间），输入数据直接来自对方 ADPCM2 模块；当 K504 置于 5_6 时(LOOP：右端)，则 PCM/ADPCM 模块将处于自环状态（自发自收状态）。

4、跳线器 K503 用于设置收通道的信号电平，当 K503 置于 1_2 时（N：左端），选择缺省的电平设置；当 K503 置于 2_3 时（T：右端），将通过调整电位器 W502 设置收通道的信号电平。

因用户 1→用户 2 与用户 2→用户 1 的传输信道是非对称的，ADPCM 模块 2 中的 K604 跳线开关与 ADPCM 模块 1 不同。跳线器 K604 用于设置 PCM/ADPCM 编码器是处于正常工作状态还是处于自环状态，当 K604 置于 1_2 时（CH：左端）时，输入数据来自信道，即汉明译码模块；当 K604 置于 3_4 时（ADPCM1：中间），输入数据直接来自对方 ADPCM1 模块；当 K604 置于 5_6 时(LOOP：右端)，则 PCM/ADPCM 模块将处于自环状态（自发自收状态）。

在用户接口模块 1 中，各测试点的定义如下：

1、 TP501：发送模拟信号测试点

2、 TP502：发送 PCM/ADPCM 码字（DT_ADPCM1）

3、 TP503：PCM/ADPCM 编码所需的 256KHz 主时钟（BLCK）

4、 TP504：PCM/ADPCM 编码发送指示信号（FSX）

5、 TP505：接收 PCM/ADPCM 码字

6、 TP506：PCM/ADPCM 译码器模拟输出信号

在 ADPCM2 模块中，各测试点的定义与 ADPCM1 模块基本对应，同学可参照。

图 A.11 ADPCM1 模块电原理图

图 A.12　ADPCM2 模块电原理图

## A.7 CVSD 编译码模块

CVSD 编译码功能分别由 CVSD 发送模块和 CVSD 译码模块模块完成。CVSD 编码器模块将模拟信号进行 CVSD 编码，转换为数字信号在信道上进行传输。CVSD 译码模块将信道上接收到的码字信号进行 CVSD 译码处理，还原出模拟信号。CVSD 编译码器使用了莫托洛拉公司生产的大规模集成电路 MC34115 芯片，该芯片可用于编码器，又可用作解码

器。CVSD 编译码器电路组成框图参见图 A.13 所示：

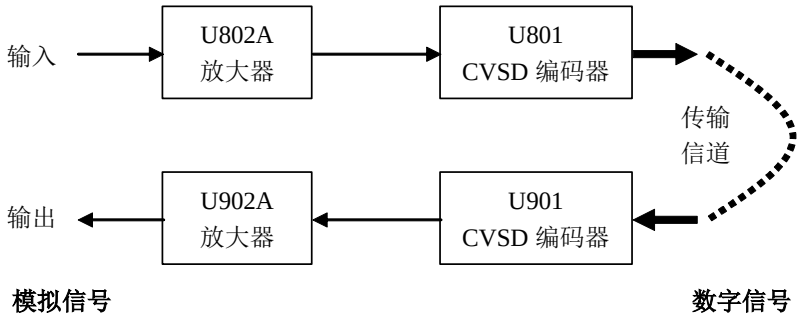



图 A.13　CVSD 编译码模块框图

CVSD 发送模块电原理图见图 A.14 所示。

CVSD 发送模块主要由 U801(MC34115)、U802(TL082)、本地译码器、音节滤波器和非线性网络组成。外部输入的话音信号经 U802A 缓冲放大之后，送 U801 的 1 脚进行 CVSD 话音编码（CLKT_Data 为 32KHz 的编码时钟），CVSD 编码之后的数据经 9 脚输出（CVSD_ENOUT）。R806、R807、R808、C805 和 C804 组成的积分网络完成本地译码；TP803 是恢复的原始模拟信号(近似值)，该信号通过 2 脚送入比较器与输入信号进行比较。在 TP804 可以观测到连码一致性脉冲信号，R813、R814 和 C807 构成音节滤波器，用于对连码一致性脉冲进行平滑，实现斜率连续可变的自适应增量调制。U802B、D801、D802 和周围电阻组成非线性网络，使在大信号输入时，量化阶自适应地增加，提高 CVSD 编译码器的动态范围。

跳线开关 K801 是用于选择正常的发送话音信号还是外部测试信号，当 K801 置于 1_2 时（PAM：左端），选择来自用户接口模块 1，经 PAM 模块的话音信号；当 K501 置于 2_3 时（T：右端）选择外部的测试信号（J005 输入），外部测试信号主要用于测试 CVSD 的编译码特性。

在该模块中，各测试点定义如下：

1、 TP801：CVSD 编码模拟信号输入

2、 TP802：译码器输出（单积分网络）

3、 TP803：本地译码器输出（双积分网络）

4、 TP804：编码一致性检测输出

5、 TP805：编码输入时钟（32KHz）

6、 TP806：编码数据输出（32Kbps）

7、 TP807：量化阶距调整

CVSD 译码模块电原理图见图 A.15 所示。

CVSD 译码模块主要由 U901(MC34115)、U902(TL082)、音节滤波器和非线性网络组成。信道上来的 CVSD 码字信号送入 U901 的 13 脚，进行 CVSD 译码处理（14 脚为译码时钟），译码之后还原的模拟信号经 U902A 缓冲放大输出。本地译码器、音节滤波器和非线性网络的组成与编码器相同，其功能可参见编码器。

CVSD 接收模块各跳线开关功能如下：

（1）跳线开关 K901 是用于选择译码数据：当 K901 设置 1_2 时（CH：左端），送入 CVSD 译码模块的数据来自信道汉明译码模块；当 K901 设置 2_3 时（LOOP：右端），送入 CVSD 译码模块的数据直接来自 CVSD 发送模块。

（2）跳线开关 K902 是用于选择译码时钟：当 K902 设置 1_2 时（CH：左端），译码时钟来自接收信道恢复的时钟信号；当 K901 设置 2_3 时（LOOP：右端），译码时钟直接来自发送编码时钟。

在该模块中，各测试点定义如下：

1、 TP901：译码数据输入（32Kbps）

2、 TP902：译码输入时钟（32KHz）

3、 TP903：译码一致性检测输出

4、 TP904：译码器输出

5、 TP905：CVSD 译码模拟信号输出

图 A.14　CVSD编码模块电原理图

图 A.15 CVSD 译码模块电原理图

## A.8 PAM 编译码模块

抽样定理在通信系统、信息传输理论方面占有十分重要的地位。抽样定理指出，一个频带受限信号 m(t)，如果它的最高频率为 $f_h$，则可以唯一地由频率等于或大于 $2f_h$ 的样值序列所决定。在满足抽样定理的条件下，抽样信号保留了原信号的全部信息。用截止频率为 $f_h$ 的理想低通滤波器可以无失真地从抽样信号中恢复原始信号 m(t)。抽样定理另一方面也告诉我们当抽样频率 $f_s$ 低于 2 倍语音信号的最高频率 $f_h$，就会出现频谱混迭现象，产生混迭噪声，影响恢复出的话音质量。

通常将语音信号通过一个 3400 Hz 低通滤波器（或通过一个 300～3400Hz 的带通滤波器），限制语音信号的最高频率为 3400Hz，这样可以用频率大于或等于 6800 Hz 的样值序列来表示。在抽样定理实验中，采用标准的 8KHz 抽样频率，并用函数信号发生器产生一个频率为 f 的信号来代替实际语音信号。通过改变函数信号发生器的频率 f，观察抽样序列和低通滤波器的输出信号，检验抽样定理的正确性。

PAM 编译码电路原理组成框图见图 A.16 所示。

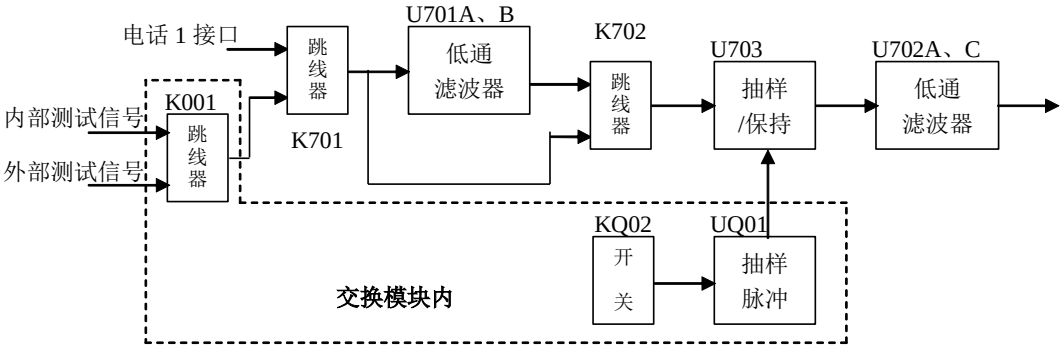



图 A.16　抽样定理实验电路组成框图

抽样定理实验电原理图见图 A.17 所示。

电路原理描述：

输入信号首先经过信号选择跳线开关 K701，当 K701 设置在 1_2 位置（N：正常）时，输入信号来自电话接口 1 模块的发送话音信号；当 K701 设置在 2_3 位置（T：测试）时，输入信号来自测试信号。测试信号可以选择外部测试信号或内部测试信号，当 K001 设置在 1_2 位置（左端）时，选择内部 1KHz 方波测试信号；当设置在 2_3 位置（右端）时选择外部测试信号，测试信号从 J005 模拟测试端口输入。

运放 U701A、U701B（TL084）和周边阻容器件组成一个 3dB 带宽为 3400Hz 的低通滤波器，用于限制最高的语音信号频率。信号经运放 U701C 缓冲输出，送到 U703（CD4066）

模拟开关。

模拟开关 U703（CD4066）通过抽样时钟完成对信号的抽样，形成抽样序列信号。信号经运放 U702B（TL084）缓冲输出。

运放 U702A、U702C（TL084）和周边阻容器件组成一个 3dB 带宽为 3400Hz 的低通滤波器，用来恢复原始信号。

跳线开关 K702 用于选择输入滤波器，当 K702 设置在 1_2 位置时（F：左端），送入到抽样电路的信号经过 3400Hz 的低通滤波器；当 K702 设置在 2_3 位置时（NF：右端），信号不经过抗混迭滤波器直接送到抽样电路，其目的是观测混迭现象。

该电路模块各测试点安排如下：

1、 TP701：输入模拟信号

2、 TP702：抽样前输入模拟信号

3、 TP703：抽样序列

4、 TP704：恢复模拟信号

图 A.17　PAM模块电原理图

## A.9 交换接续控制模块

交换接续控制模块设置在两个 DTMF 模块之间。该模块专门由一个 PLD（EPM7064）

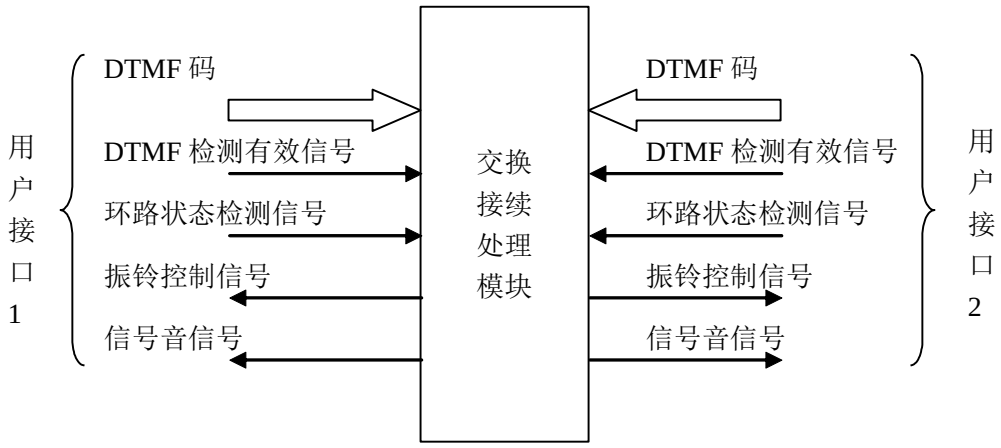



图 A.18 交换接续处理模块组成框图

实现，用于完成完成交换的各项处理功能。交换接续控制模块功能框图见图 A.18 所示。

交换接续控制器根据用户环路状态进行接续控制。当用户摘机时，通过信号音信号线送一连继的拨号音（450Hz）。用户拨号的号码通过 DTMF 检测模块检测并送入交换接续控制器；当所拨用户号码正确，且被叫用户空闲，呼叫处理模块将向被叫用户振铃，同时向主叫送回铃音（4 秒断 1 秒的 450Hz 信号）。否则，当用户拨的号码是空号或对方用户忙时，向主叫用户送忙音（0.35 秒断与 0.35 秒的 450Hz 信号）。通话结束，任一方挂机，另一方都将听到忙音，表示呼叫结束。为了实现简便，对于交换过程中的其它信号音通常以忙音代替（如空号音）。交换接续控制基本完成了一个 PBX 的主要功能。

除了完成交换接续功能外，交换接续控制模块还产生系统所使用的时钟信号和一个内部测试信号（1KHz）。

交换接续控制模块各跳线开关功能如下：

1、跳线开关 K001 是用于选择内部或外部测试信号：当 K001 置于 1_2 时（左端），测试信号选择内部产生的 1 KHz 信号；当 K001 置于 2_3 时（右端）选择外部的测试信号（J005 输入）。

2、跳线开关 KQ02 是用于选择 PAM 抽样方式：当 KQ02 置于 1_2 时（H：左端），PAM 抽样信号带保持功能，输出是阶梯波形；当 KQ02 置于 2_3 时（NH：右端）PAM 抽样信号不带保持功能，抽样脉冲信号宽度与抽样时钟宽度相同。

本模块未提供任何测试点。

## A.10 模拟锁相环模块

HDB3 模块译码所需的 256KHz 时钟是通过模拟锁相环从接收的 HDB3 码流中提取时钟，并将恢复的时钟送入 HDB3 译码单元。

该模块主要由 UP01（MC4066）、UP02（74LS161）、UP04（74LS74）、环路滤波器和 UP03 输入带通滤波器（256KHz）组成。在 UP01 内部有一个振荡器与一个高速鉴相器组成。该模拟锁相环模块的框图见图 A.19。HDB3 码流经单极性变换后送入由 UP03 构成的中心频率为 256KHz 有源带通滤波器，经 UP04A 和 UP04B 四分频后进入 UP01 的鉴相输入端 A；UP01 的 512KHz 输出信号经 UP02 进行八分频送入 UP01 的鉴相输入端 B。UP01 鉴相之后的信号经环路滤波送入 UP01 的压控振荡器输入端。

模拟锁相环模块各跳线开关功能如下：

1、跳线开关 KP01 用于选择 UP01 的鉴相输出。当 KP01 设置于 1_2 时（左端），选择异或门鉴相输出，TPP03、TPP05 输出信号将存在一定相差；当 KP01 设置于 2_3 时（右端），选择三态门鉴相输出，TPP03、TPP05 输出信号将不存在相差，详情请参见 4046 器件性能资料。WP01 可以改变模拟锁相环的环路参数。

2、跳线开关 KP02 是用于选择输入信号：当 KP02 置于 1_2 时（HDB3：左端），输入信号来自 HDB3 编码模块的 HDB3 码信号；当 KP021 置于 2_3 时（TEST：右端）选择外部的测试信号（J007 输入），此信号用于测量该模拟锁相环模块的性能。

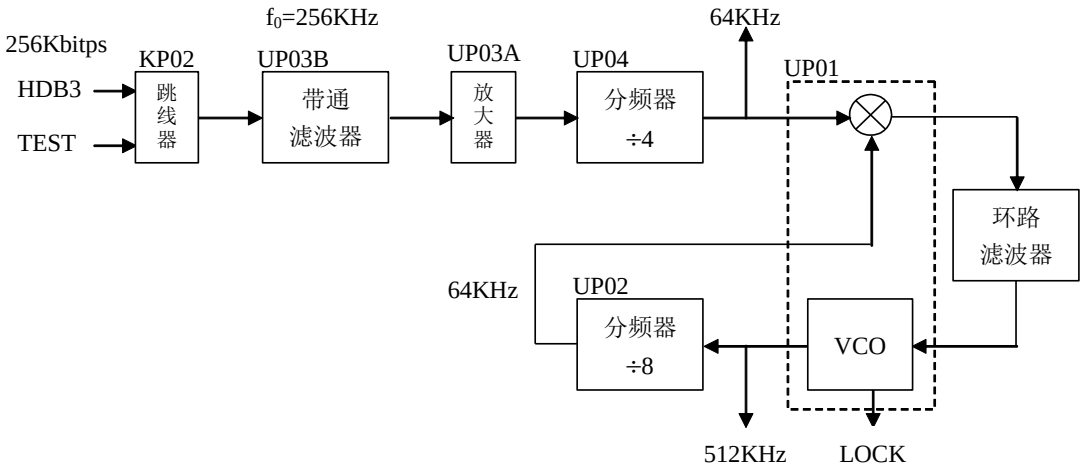



图 A.19　模拟锁相环组成框图

模拟锁相环模块的电原理图见图 A.20 所示

在该模块中，各测试点定义如下：

1、 TPP01：256KHz 带通滤波器输出

2、 TPP02：隔离放大器输出

3、 TPP03：鉴相器 A 输入信号

4、 TPP04： VCO 输出信号

5、 TPP05：鉴相器 B 输入信号

6、 TPP06：环路滤波器输出

7、 TPP07：锁定指示检测

图 A.20 模拟锁相环模块电原理图

## A.11 数字锁相环模块

同步在电信网中是一个十分重要的概念。同步的种类很多，有时钟同步、比特同步等等，其最终目的使本地时钟源锁定在另一个参考时钟源上，如果所有的终端均采用这种方式，则将以统一步调进行工作。同步的技术基础是锁相，因而锁相技术是通信中最重要的技术之一。

锁相环分为模拟锁相环与数字锁相环。

数字锁相环主要由四大部分组成：本地参考时钟、多模分频器（一般为三种模式：超前分频、正常分频、滞后分频）、相位比较（双路相位比较）、高倍时钟振荡器（一般为参考时钟的整数倍，通常大于 20）等。

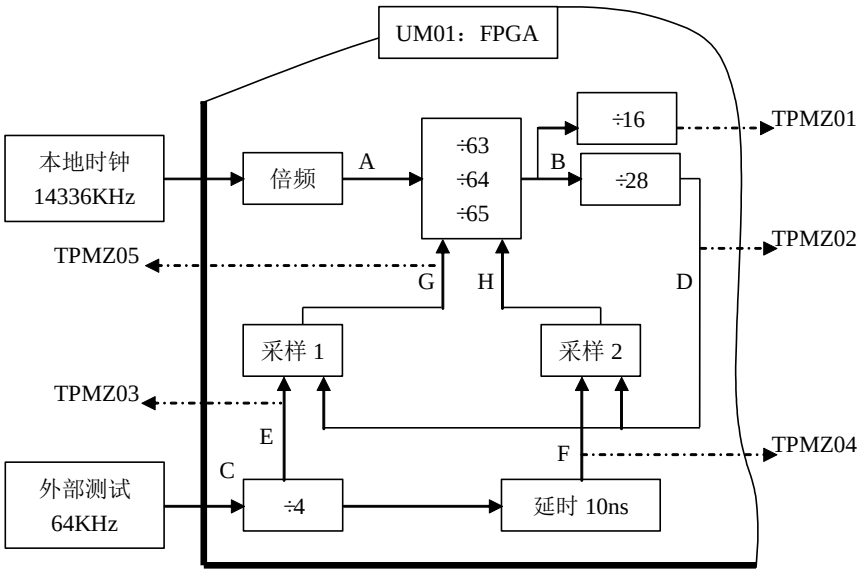



图 A.21 数字锁相环的结构

数字锁相环均在 FPGA 内部通过门电路实现实现，其工作过程如图 A.21 所示。

在图 A.21 中，采样器 1、采样器 2 构成一个数字鉴相器，此处数字鉴相器的基本原理是：时钟信号 E、F 对 D 信号进行采样，如果采样值为 01，则数字锁相环不进行调整（÷64）；如果采样值为 00，则下一个分频系数为（1/63）；如果采样值为 11，则下一分频系数为（÷65）。数字锁相环调整的最终结果使本地分频时钟锁在输入的信道时钟上。

在图 A.22 中给出了数字锁相环的基本锁相过程与数字锁相环的基本特征。在锁相环开始工作之前的 T1 时该，图 1.12.2 中 D 点的时钟与输入参考时钟 C 没有确定的相关系，鉴相输出为 00，则下一时刻分频器为÷63 模式，这样使 D 点信号前沿提前。在 T2 时刻，鉴相输出为 01，则下一时刻分频器为÷64 模式。由于振荡器为自由方式，因而在 T3 时刻，鉴相输出为 11，则下一时刻分频器为÷65 模式，这样使 D 点信号前沿滞后。这样，可变分频器不断在三种模式之间进行切换，其最终目的使 D 点时钟信号的时钟沿在 E、F 时钟上升沿之间，从而使 D 点信号与外部参考信号达到同步。

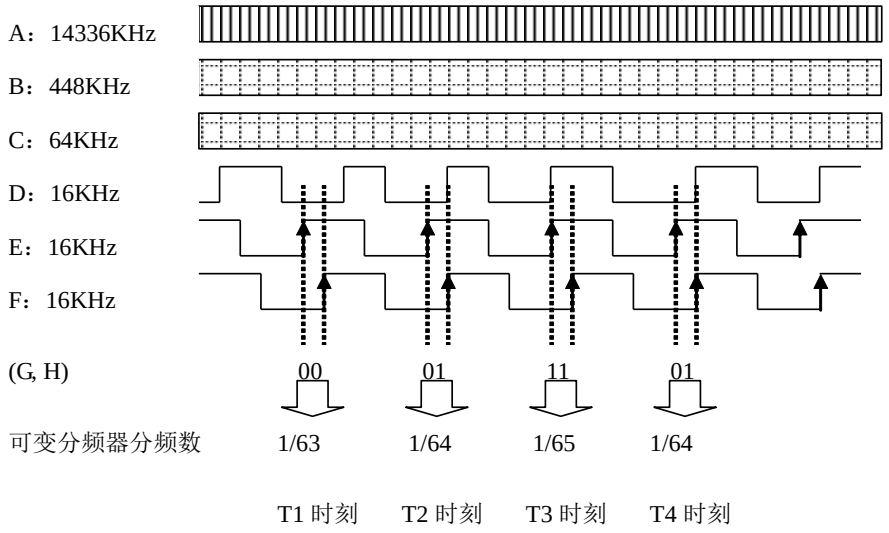



图 A.22 数字锁相环的基本锁相过程与数字锁相环的基本特征

在该模块中，各测试点定义如下：

1、 TPMZ01：本地经数字锁相环之后输出时钟（56KHz）

2、 TPMZ02：本地经数字锁相环之后输出时钟（16KHz）

3、 TPMZ03：外部输入时钟÷4 分频后信号（16KHz）

4、 TPMZ04：外部输入时钟÷4 分频后延时的信号（16KHz）

5、 TPMZ05：数字锁相环调整信号

## A.12 白噪声发生器模块

周期性 m 序列的频谱特性具有白噪声特性，在白噪声模块中利用这一性质产生噪声源。但一般 m 序列由于状态数，产生的信号随机性不强，且分布一般不为高斯分布。为了能产生所需要的白噪声，采用了以下技术措施：

1、m 序列噪声特性与其周期长度有关，周期越长，越接近白噪声谱。在 FPGA 中选用了$2^{23}-1$的长 m 序列。

2、并在 m 序列中加入了一定的扰动技术，使其性能更好。

3、另外，还采用了高速率驱动时钟（24MHz），使产生的噪声谱很宽，而系统中所使用的只截取其频带的一小部分。

经计算机仿真，采用这些措施后，噪声分布更接近理想高斯噪声，能满足实验系统的要求。噪声模块电路框图如图 A.23 所示。

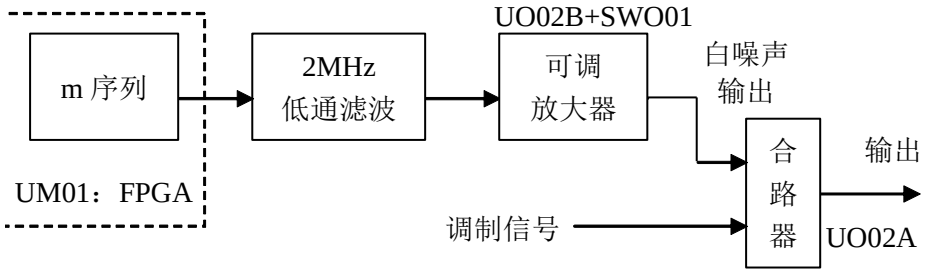



图 A.23　噪声模块电路组成框图

噪声模块电路原理图见图 A.24。在通信原理综合实验系统平台内，经加扰的 m 序列由 UM01 产生送到噪声模拟输入端口，UO01A、UO01B 用于缓冲；CO02、LO01 和 CO03 等构成 2MHz 低通滤波器，RO02 和 RO03 用于阻抗匹配；运放 UO02B、电阻 RO07、RO08～RO15 组成的反向放大器对噪声信号进行放大，通过跳线开关 SWO01 的设置可改变噪声输出电平，从而获得不同的信噪比；运放 UO02 和电阻 RO05、RO17、RO06 组成一个相加放大器，完成噪声与调制信号合路，合路信号通过 KO02 端口输出。测试点 TPO02H 用于观测噪声产生器是否工作，若加电运行后无信号时需复位通信原理综合实验系统；TPO03 用于观测噪声信号电平。

图 A.24 白噪声发生器模块电原理图

## A.13 DSP 处理模块

数字信号处理 DSP 技术是：高速数字信号处理器＋信号处理算法。随着数字化技术的不断发展，DSP 技术将渗透到通信的每一个角落。特别在无线通信系统中，DSP 技术是软件无线电的重要组成部分。同时随着高速、大规模 FPGA 芯片的出现，硬件平台可编程使通信系统设计更为通用、功能更加强大。因而，DSP+FPGA 技术是通信产品发展的一个主要

方向。

在该通信原理综合实验系统中，采用了 Ti 在 1999 年上半推出的 DSP 处理芯片 TMS320VC5402，该器件内带 16K 字的程序与数据 DRAM，功耗低，工作温度范围宽（可达工业级），内置 Boot 程序简化了用户硬件设计与成本，同时该器件也是 Ti 公司力推的产品之一，其价格较低，国内外采用其开发的产品也越来越多。在该通信原理综合实验系统中，还采用了 Altera 在 1999 年下半推出的 EP1K30 可编程器件，该器件通用性强，成本较低，特别适用于一般民用通信产品的开发。通过这两款器件实现了一个较为通用的通信信道收发平台，在设计思想与电路组成方面都具有很好的可移植性，不仅对通信原理综合实验系统，对其它通信类产品的设计也具有很好的参考价值。

DSP 处理模块是由 DSP 处理器 TMS320VC5402、FPGA 1K30 等等来实现，其主要功能实现数字调制、接收信号解调、相应的同步技术及全数字锁相环功能。UM03 是 TMS320VC5402 的 DSP 处理芯片，所有的 DSP 软件与数据均在其内部 RAM 中，该芯片主要完成预定的设计算法，按这些要求完成对输入信号的处理。UM02 是 DSP Boot 的数据区，DSP 需运行的程序与运行过程中所需的数据存贮在 UM02 中，DSP 复位后其 Boot 程序从 UM02 中读取相应程序与数据放入其内部 RAM 中，完成这些工作之后，其程序运行指针跳到其内部 RAM 执行 DSP 算法。

## A.14 D/A 模块

在发送通道中，其接受外部的数据码流，处理后的数据码流经 Nyquist 滤波得到数字眼图信号，这些都是在 FPGA 中完成的。

在 D/A 模块中，将 Nyquist 滤波后的数字信号转换成模拟信号以便在信道上传输，同时完成滤波（以便将高次谐波信号滤除）、放大（使信号电平达到调制器的要求）等功能。D/A 模块原理框图组成见图 A.25 所示。

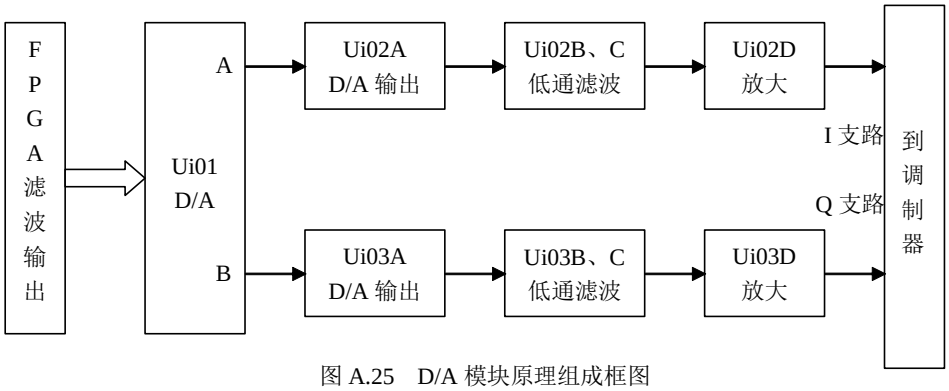



图 A.25　D/A 模块原理组成框图

D/A 模块主要由 Ui01（AD7528）、Ui02（TL084）、Ui03（TL084）集成电路组成。Ui01 是一个内含双路的 D/A 模块，即 A 通道与 B 通道。D/A 的数字样点信号由 DA7、DA6、DA5、DA4、DA3、DA2、DA1、DA0 管脚输入，ModDACLK 是 Ui01 的数据输入时钟，在该时钟的上升沿，管脚上的数字信号 DA7、DA6、DA5、DA4、DA3、DA2、DA1、DA0 进入 D/A 器件，至于哪个通道由管脚 ModDASPAB 选择。当其为低电平时选择 A 通道，当为高电平时选择 B 通道。运放 Ui02A、Ui03A 是 D/A 的输出转换电路，在 Ui02A 的 1 脚（TPi01）、Ui03A 的 1 脚（TPi02）上可测出 I、Q 支路上具有锯齿波的模拟信号，该信号除了含有所需的基带信号外，还包括高次谐波信号。运放 Ui02B、Ui02C 和周边阻容器件组成 56KHz 的低通滤波器，其主要是滤除 I 支路的高阶谐波分量，运放 Ui02D 对信号电平进行放大、直流消除后输出（电阻 Ri09、Ri10 组成的偏置电路）送到后面的调制器中。运放 Ui03B、Ui03C 和周边阻容器件组成 56KHz 的低通滤波器，其主要是滤除 Q 支路的高阶谐波分量，运放 Ui03D 对信号电平进行放大、直流抵消后输出（电阻 Ri19、Ri20 组成的偏置电路）送到后面的调制器中。器件 Ci10、Li01、Ci20 组成了一电源滤波电路，因为 AVCC2 是 D/A 器件的参考输入电平信号。一般可从电源进行滤波获取，也可经二次稳压后获取。D/A 模块电原理图见图 A.26 所示。

在 D/A 模块中，测试点的安排如下：

1、 TPi01：通道 I 的 D/A 输出；

2、 TPi02：通道 Q 的 D/A 输出；

3、 TPi03：通道 I 的低通滤波器输出；

4、 TPi04：通道 Q 的低通滤波器输出；

图 A.26　D/A 模块电原理图

## A.15 中频调制模块

中频调制模块将成形之后的基带信号调制到 1.024MHz 的中频上。调制载波为固定的 1.024MHz 载频。

中频调制器模块由平衡调制器、本地振荡器、90 度移相器、合路器与放大器组成，其电路组成框图见图 A.27 所示。

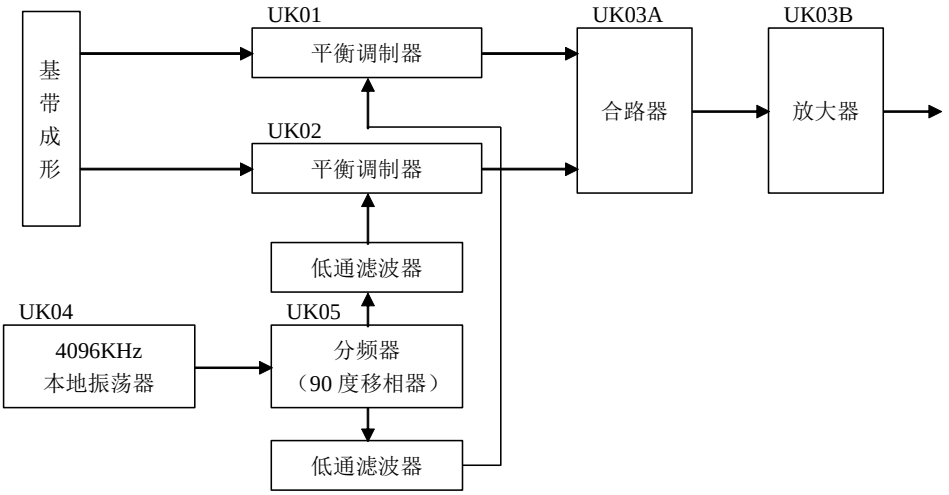



图 A.27　中频调制器模块组成框图

中频调制器模块电原理图见图 A.28 所示。

在中频调制器中，正交 90 度载波的产生工作原理如下：

UK04 是 4.096MHz 的固定振荡器，UK05A 为二分频器，从而形成同相支路的载波信号。Q 支路信号比 I 支路滞后 90 度，其产生是对 U905A 分频出来的信号通过 UK05B 进行延时 90 度实现。这样得到正交的 1.024MHz 的方波信号，这两个方波信号分别经 UK06B、UK06C 与 UK06E、UK06D 进行缓冲处理后送入由（RK35、CK16、LK01、CK17、RK36）或（RK39、CK18、LK02、CK19、RK40）组成的无源低通波器，得到二个 1.024MHz 的正弦信号。这两个正交本地载波信号分别送入 I、Q 支路的平衡调制器中。

中频调制模块的基本工作原理如下：

有源平衡乘法器对信号输入的电平要求较低，中频调制模块与 D/A 模块之间的信号接口电平为 4Vp-p，在 I 支路 RK02、RK03 组成分压电路，保证进入到调制器的信号电平为 250mv。这种接口的设计目的是减少接口之间长线传输的干扰信号。RK04、RK05、WK01 组成偏置调整电路，其主要目的是减少调制器的载漏输出，仔细调 WK01 可以使载漏输出很小，从而减少对调制信号性能的影响。调制器是通过 MC1496 平衡乘法器实现，其本地载波为 1.024MHz 的低中频信号。Q 支路原理与 I 支路完全一样，这儿不再叙述。

UK03A 组成有源合路器，将 I、Q 支路信号进行合路输出。UK03B 为放大器，使输出调制信号电平为 2Vp-p。

对于调制器而言主要有以下三方面的主要指标：

1、 平衡性：如果 I、Q 支路不平衡，将影响信道的解调性能。例如在 QPSK 调制方式中，其星座图上的四个点将不在 45 度、135 度、225 度、315 度上；

2、 正交性：其对系统性能的影响同上；

3、 线性度：线性度不好，将产生码间串扰（ISI）；

4、 载漏：一方面消耗系统有限的功率，同时在解调器中易产生直流漂移。载漏的调整方法：首先将模拟锁相环模块内输入信号选择开关 KP02 设置在 TEST 位置（右端）；然后将 D/A 模块内 Ki01、Ki02 的短路器去掉，使调制模块没有信号输入。轮流调整电位器 WK01、WK02 使 TPK03 信号输出最小。

在该模块中，测试点的安排如下：

1、 TPK01：通道 I 的基带信号输入；

2、 TPK02：通道 Q 的基带信号输入；

3、 TPK03：调制输出信号；

4、 TPK04：I 支路调制载波（方波）；

5、 TPK05：Q 支路调制载波（方波）；

6、 TPK06：I 支路调制载波（正弦波）；

7、 TPK07：Q 支路调制载波（正弦波）；

图 A.28　中频调制器模块电路组成电原理图

## A.16 中频解调模块

中频解调模块将输入的 1.024MHz 调制信号（可能是形式多样的调制信号），与本地压控晶体振荡器的输出信号（1.024MHz）进行混频，从而解调出基带信号。

中频解调模块电路框图见图 A.29 所示。

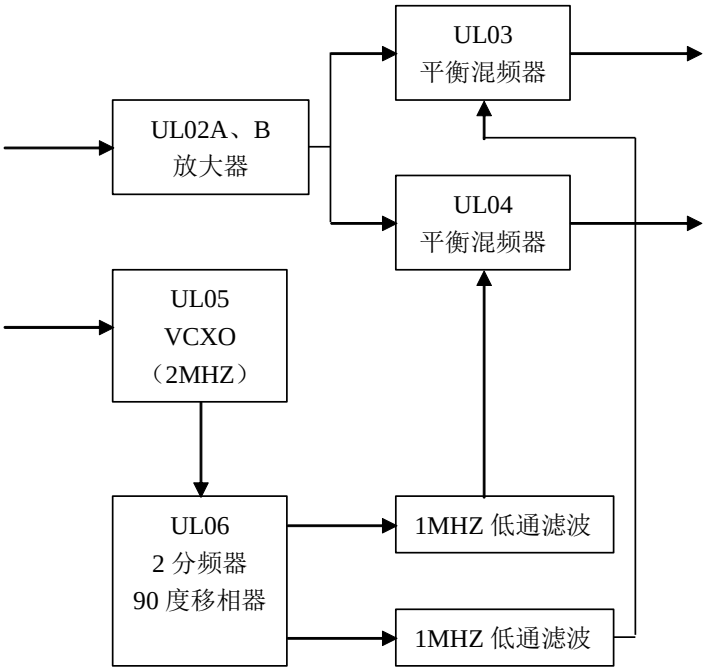



图 A.29 中频解调模块电路框图

在中频解调模块具有以下功能单元组成：

1、 放大器：UL02；

2、 平衡混频器：UL03、UL04；

3、 VCXO：由 UL05A、UL05B、DL01、DL02 等元件组成；

4、 正交本振信号产生器：由 UL07A 、UL06A 、UL06B 等元件组成；

5、 同相支路无源低通滤波：由 RL41、CL22、LL01、CL23、RL42、RL43 组成；

6、 正交支路无源低通滤波：由 RL45、CL24、LL02、CL25、RL46、RL47 组成。

中频解调模块电原理图见图 1.17.2 所示，电路工作原理描述如下：

UL02B、UL02A 组成放大电路，其主要起缓冲、隔离的作用。调线器 KL02 设置在 1_2 位置，2_3 位置留以后扩展功能使用。UL03、UL04 平衡乘法器组成解调模块，WL02、WL03 为直流偏置调整电路。无信号输入时，调整 WL02、WL03 使 TPL03、TPL04 输出信号最小。

非门 UL05A、UL05B，变容二极管 DL01、DL02 和晶体 XL01 组成 VCXO，在输入电压的控制下改变振荡器的输出频率，其中心振荡频率为 4096KHz，该电路为解调电路 PLL 环的组成部分。选择开关 KL01 是选择由环路输出控制电压进行控制，还是由 WL01 电位器

进行手动调整控制，正常情况一般选择在 1_2 位置（短路器置于左端）。当 KL01 置于 1_2 端时选择由解调器的 PLL 输出控制（其来源于测试模块的第一路 D/A 输出 PLLOUT）；当 KL01 置于 2_3 脚时，选择测试控制信号，VCXO 的测试控制信号由电位器 WL01 提供，调整 WL01 可改变 VCXO 的控制电压，从而可以测试 VCXO 的电压/频率特性。VCXO 输出本地 4.096MHz 的方波信号，首先经 UL07A 进行二分频器，然后再经 UL06A 进行二分频器后，得到 1.024MHz 的同相方波信号。该方波信号经 UL06B 进行 90 度移相后得到 Q 支路的正交支路方波信号， Q 支路信号比 I 支路滞后 90 度。这样得到正交的 1.024MHz 的方波信号，这两个方波信号分别经直接送入由 RL41、CL22、LL01、CL23、RL42、RL43 和由 RL45、CL24、LL02、CL25、RL46、RL47 组成的两个无源低通波器，得到二个正交的 1.024MHz 正弦信号。这两个正交本地载波信号分别送入 I、Q 支路的平衡调制器中。中频解调模块电原理图如图 A.30 所示。

在中频解模块中，测试点的安排如下：

1、 TPL01：输入中频信号

2、 TPL02：放大输出信号

3、 TPL03：I 支路解调输出信号

4、 TPL04：Q 支路解调输出信号

注：以上测试点通过 JL01 测试头引出，测量时请在测试座上进行。

5、 TPLZ01：VCXO 控制输入电压

6、 TPLZ02：VCXO 输出信号（4.096MHz）

7、 TPLZ03：VCXO 输出信号（2.048MHz）

8、 TPLZ04：I 支路载波（方波）

9、 TPLZ05：Q 支路载波（方波）

10、TPLZ06：I 支路载波（正弦波）

11、TPLZ07：Q 支路载波检测（正弦波）

注：以上测试点通过 JL02 测试头引出，测量时请在测试座上进行。

图 A.30　中频解调模块电原理图

## A.17 A/D 模块

输入信号在中频解调模块中变换成正交的 I、Q 支路基带模拟信号，送入 A/D 模块。Ⅰ、Q 支路信号在 A/D 模块中完成以下三方面的功能：

1、 低通滤波器：将带外噪声或干扰滤除，消除 A/D 采样时的折叠噪声，否则影

响解调器的性能；

2、 直流电平调整：满足 A/D 对信号直流偏置的要求；

3、 A/D 转换：经 TLC5510 将模拟的 I、Q 路基带信号进行量化（A/D），以便送入 DSP 模块进行处理；

A/D 模块组成框图如图 A.31 所示。

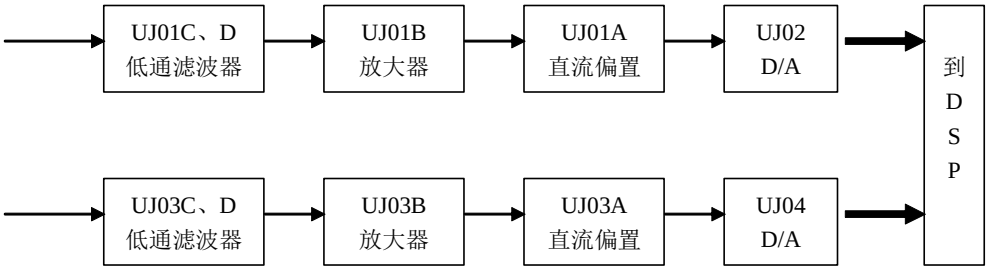



图 A.31　A/D 模块组成电路框图

A/D 模块组成电原理图见图 A.32 所示。

下面以Ⅰ支路为例说明在 A /D 模块中信号的基本流程：

由中频解调模块送来的Ⅰ支路基带信号首先经过运放 UJ01C、UJ01D 组成了 56KHz 的低通滤波器，这是一个增益为 0dB 标准的四阶 Butterworth 低通滤波器。该滤波器的目的是滤除信号的带外噪声，同时也是用于 A/D 之前的抗混叠滤波。UJ01B 完成对信号的电平调整，使输入信号的电平在最佳的量化范围内，对于一般 MODEM 信号输入电平一般是 A/D 满幅的 1/2 左右，在该模块中，A/D 的满幅为 2Vp-p，因而在 TPJ05 的信号电平一般为 1Vp-p，这是通过调整电位器 WJ01 进行的。最后，Ⅰ支路信号经过直流电平偏置调整，保证在无输入信号时（JL02 无信号输入）A/D 输出为 128（十进制数），这主要通过调整电位器 WJ02，使 TPJ05 的直流电平为 1.60V。直流电平对系统性能影响较大，尤其是对差分解调方式。通过下列方法进行调整、判断：

1、 将调制方式设置为 BPSK 方式；

2、 去掉中频输入信号；

3、 调整电位器 WJ02，使 TPJ05 的直流信号为 1.60V 左右；

4、 调整电位器 WJ04，使 TPJ06 的直流信号为 1.60V 左右；

在 A/D 模块中，测试点的安排如下：

1、 TPJ01：I 支路输入模拟信号

2、 TPJ02：Q 支路输入模拟信号

3、 TPJ03：经 56KHz 低通滤波器之后的 I 支路模拟信号

4、 TPJ04：经 56KHz 低通滤波器之后的 Q 支路模拟信号

5、 TPJ05：经放大与直流偏置之后的 I 支路模拟信号

6、 TPJ06：经放大与直流偏置之后的 Q 支路模拟信号

7、 TPJ07：Q 支路的读取信号

8、 TPJ08：A/D 转换时钟

9、 TPJ09：I 支路的读取信号

注：以上测试点通过 JJ01 测试头引出，测量时请在测试座上进行。

图 A.32　A/D 模块电原理图

## A.18 测试模块

在测试模块中，将 DSP 内部处理变量输出转换成模拟量，以便于测试与观察。这样可以将数字信号处理过程通过外部测试点真实再现出来。

在该模块中有两个 D/A 芯片，每一个 D/A 芯片含有两个独立的 D/A 通道（这样测试模块共四个 D/A 信道）。每一个通道由 D/A 变换器、巴特沃斯低通滤波器和电平调整电路组成。在该模块中的四个基本电路分别为：PLL 锁相环输出点加三个测量点。

测试功能模块的电路框图见图 A.33 所示。

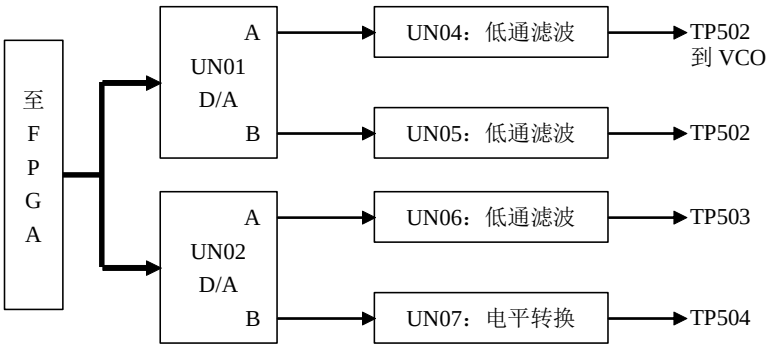



图 A.33　测试功能模块的电原理图

下面以第一个 D/A 通道（PLL 通道）为例说明电路的基本过程：

UN01（AD7528）是一个 D/A 芯片，内含有两个独立的 D/A 通道（A 和 B 通道），至于选择哪个通道由管脚 6（DACA/B）选择。当其为低电平时选择 A 通道，当为高电平时选择 B 通道。

UN04A 是 D/A 的输出运放，该支路是 PLL 输出的监测信号，此处为具有锯齿波的模拟信号，该信号除了含有所需的基带信号外，还包括高次谐波信号。UN04B、UN04C 组成 2.5KHz 的低通滤波器，其主要是滤除该支路的高阶谐波分量，UN04D 对信号电平进行放大输出送到前端的 VCXO 输入端。

其它通道的电原理与上述原理相同，不同之处只是低通滤波器的带宽有所变化：第 2、第 3 个基本电路的低通滤波器的带宽均为 56KHz；第 4 个基本电路无滤波器。

在测试功能模块中，测试点的安排如下：

1、 TP5N01：PLL 输出到 VCXO 的控制信号

2、 TPN02：I 支路眼图信号

3、 TPN03：PLL 环路鉴相输出信号（并不是每一种模式均存在该信号）

4、 TPN04：抽样判决点输出信号

（注：以上测试点通过 JN01 测试头引出，测量时请在测试座上进行测量。）

## A.19 汉明编译码模块

差错控制编码的基本作法是：在发送端被传输的信息序列上附加一些监督码元，这些多余的码元与信息之间以某种确定的规则建立校验关系。接收端按照既定的规则检验信息码元与监督码元之间的关系，一旦传输过程中发生差错，则信息码元与监督码元之间的校验关系将受到破坏，从而可以发现错误，乃至纠正错误。

通信原理综合实验系统中的纠错码系统采用汉明码（7，4）。所谓汉明码是能纠正单个错误的线性分组码。它有以下特点：

| | | |
|---|---|---|
| 码长 | $n=2^m-1$ | 最小码距 d=3 |
| 信息码位 | $k=2^n-m-1$ | 纠错能力 t=1 |
| 监督码位 | r=n-k | |

这里 m 位≥2 的正整数，给定 m 后，既可构造出具体的汉明码（n，k）。

汉明码的监督矩阵有 n 列 m 行，它的 n 列分别由除了全 0 之外的 m 位码组构成，每个码组只在某列中出现一次。系统中的监督矩阵如下图所示：

$$H=\begin{bmatrix}1&1&1&0&1&0&0\\0&1&1&1&0&1&0\\1&1&0&1&0&0&1\end{bmatrix}$$

其相应的生成矩阵为：

$$G=\begin{bmatrix}1&0&0&0&1&0&1\\0&1&0&0&1&1&1\\0&0&1&0&1&1&0\\0&0&0&1&0&1&1\end{bmatrix}$$

汉明译码的方法，可以采用计算校正子，然后确定错误图样并加以纠正的方法。

图 A.34 和图 A.35 给出汉明编码器和译码器电原理图。

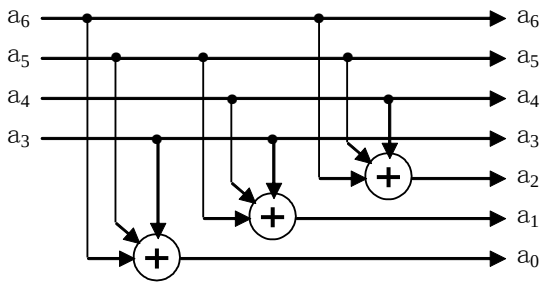



图 A.34 汉明编码器电原理图

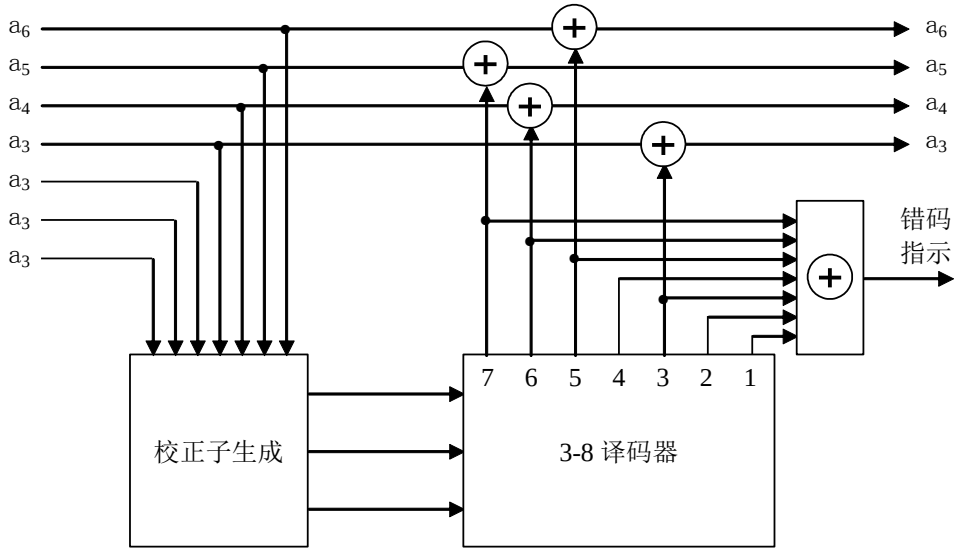



图 A .35 汉明译码器电原理图

汉明编译码模块实验电路功能组成框图见图 A.36 和图 A.37 所示。

汉明编码模块实验电路工作原理描述如下：

1、输入数据：汉明编码输入数据可以来自 ADPCM1 模块的 ADPCM 码字，或来自同步数据端口数据、异步端口数据、CVSD 编码数据、m 序列。选择 ADPCM 码字由工作方式选择开关 SWC01 中的 ADPCM 状态决定，当处于 ADPCM 状态时（插入跳线器），汉明编码器对 ADPCM 信号编码；否则处于非 ADPCM 状态时（拔除跳线器），输入编码数据来自开关 KC01 所设置的位置，分别为同步数据端口数据、异步端口数据、CVSD 编码数据、m 序列。

2、m 序列发生器：m 序列用于测试汉明编码规则，输出信号与开关 KWC01 位置如下：

| 选 项 | KWC01 设置状态 | | | |
|---|---|---|---|---|
| M_SEL1 | □ □ | □—□ | □ □ | □—□ |
| M_SEL2 | □ □ | □ □ | □—□ | □—□ |
| m 序列 | 0/1 码 | 0110111 | 00/11 码 | 15 位码长 |

3、编码使能开关：此开关应与接收端汉明译码器使能开关同步使用，该开关处于使能状态（H_EN 短路器插入），汉明码编码器工作；否则汉明码编码器不工作。需注意：汉明码编码器不工作时，ADPCM 和 CVSD 话音数据无法通话，这是因为编码速率与信道速率不匹配。

4、错码产生：错码产生专门设计用于测量汉明译码器的纠错和检错性能。输出错码与开关 KWC01 位置如下：

| 选 项 | KWC01 设置状态 | | | |
|---|---|---|---|---|
| E_MOD0 | □ □ | □—□ | □ □ | □—□ |
| E_MOD1 | □ □ | □ □ | □—□ | □—□ |
| 错码序列 | 无错码 | 错 1 位 | 错 2 位 | 错更多 |

错码可以用示波器从错码指示端口检测。

汉明编码模块各测试点定义：

1、TPC01：输入数据

2、TPC02：输入时钟

3、TPC03：输出汉明编码数据（56Kbitps）

4、TPC04：输出时钟（56KHz）

5、TPC05：错码指示（正常锁定无错码时，该点为低电平。）

汉明译码模块实验电路工作原理描述如下：

1、输入信号选择开关：开关 KW01、KW01 用于选择输入信号和时钟是来自解调器信道或直接来自汉明编码模块。当 KW01、KW01 设置在 1_2 位置（CH：左端），则输入信号来自信道；开关 KW01、KW01 设置在 2_3 位置（LOOP：右端），则输入信号来自汉明编码模块。

2、汉明译码器：主要由串/并变换器、校正子生成器、3/8 译码器纠错电路构成。该电路专门由一个 PLD（EPM7128）实现。

3、汉明译码使能开关：SW03 中 H_EN 与发端编码使能开关同步使用。

汉明译码模块各测试点定义：

1、TPC01：输入时钟（56KHz）

2、TPC02：输入数据（56Kbitps）

3、TPC03：错码指示

4、TPC04：输出时钟

5、TPC05：CVSD 数据输出

6、TPC06：同步数据输出

7、TPC07：m 序列输出

8、TPC08：异步数据输出

汉明编译码模块电原理图见图 A.38 和图 A.39 所示。

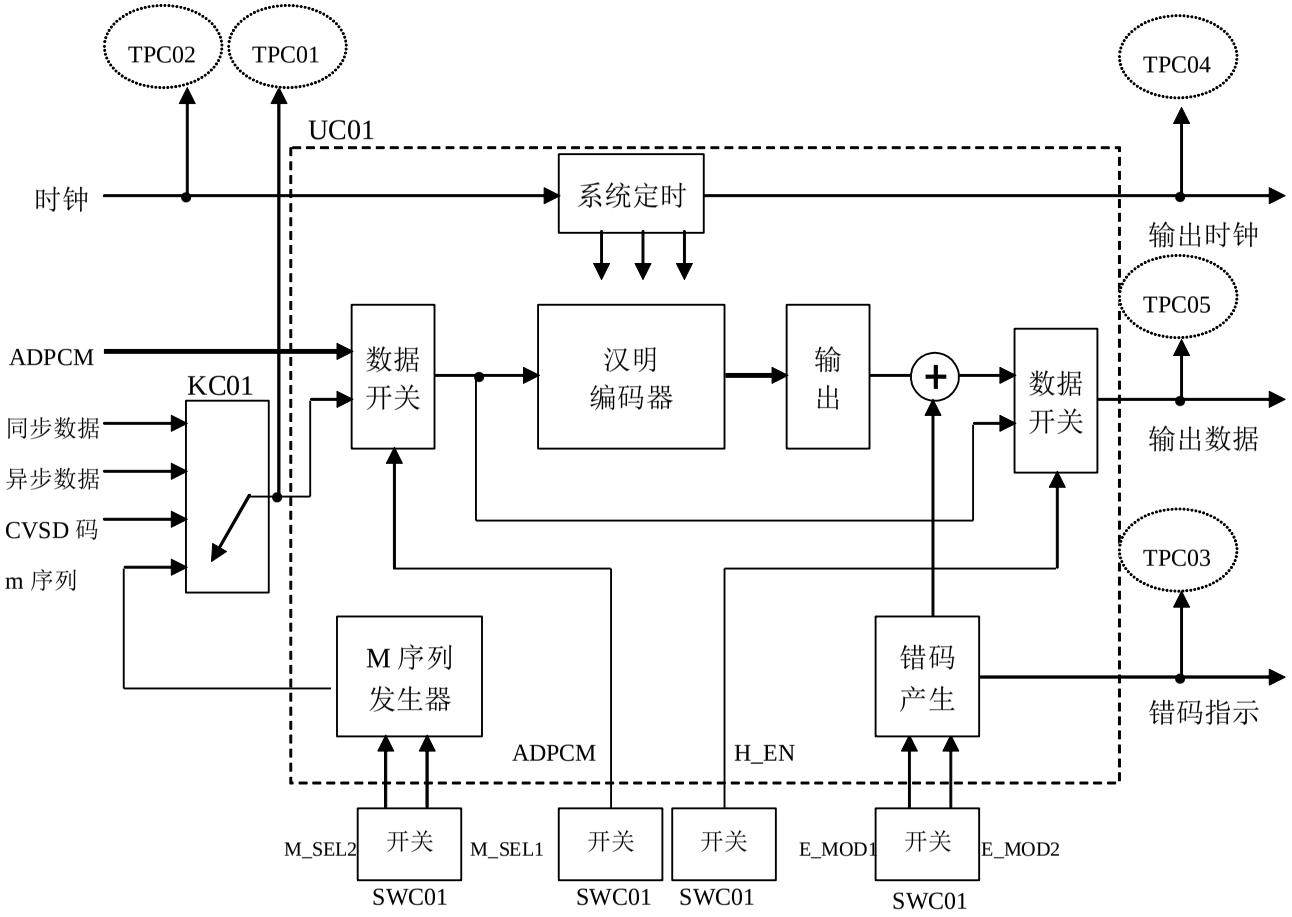



图 A.36　汉明编码模块电路功能组成框图

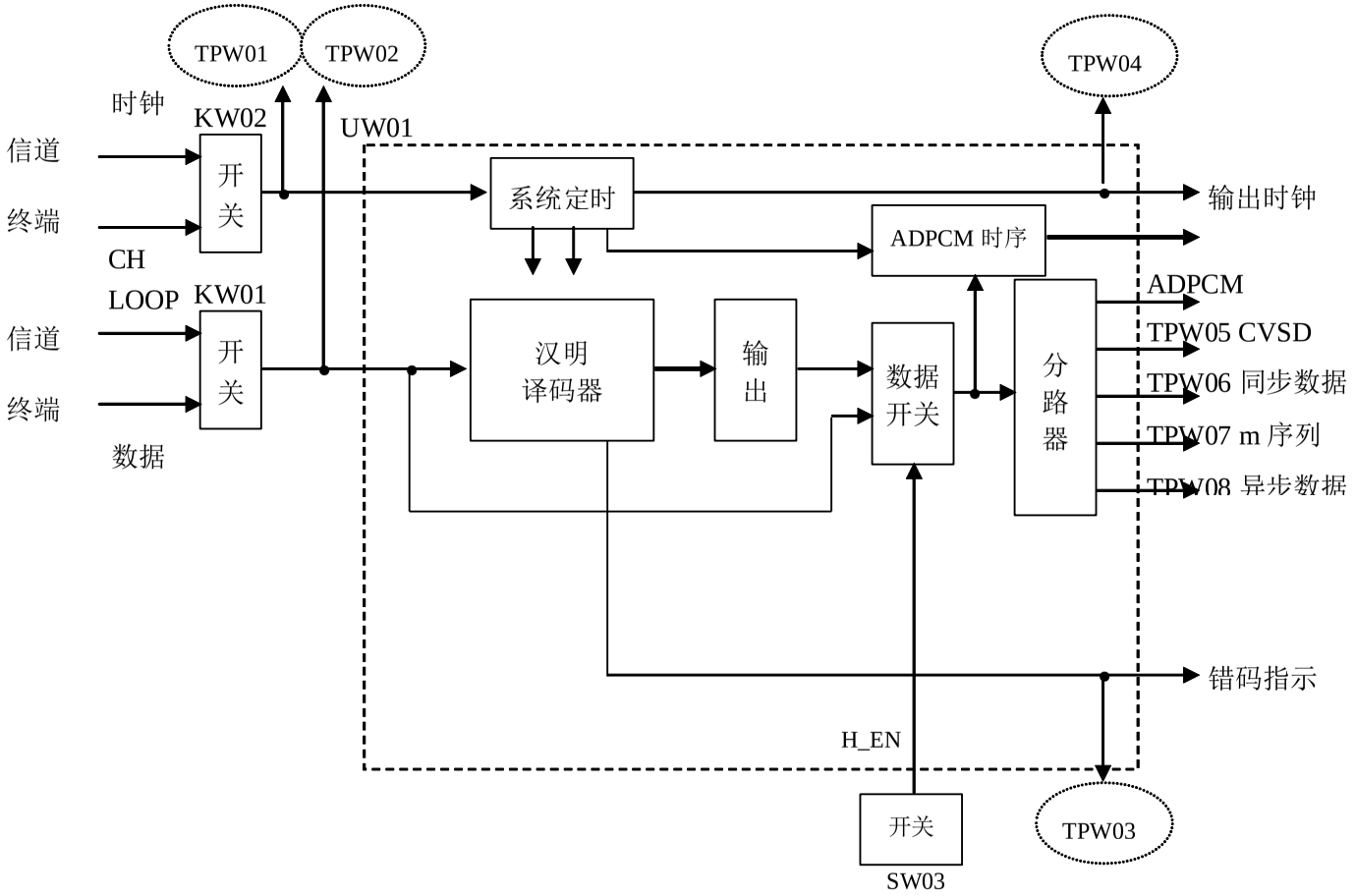



图 A.37　汉明译码模块电路功能组成框图

图 A.38　汉明编码模块模块的电原理图

图 A.39 汉明译码模块模块的电原理图

## A.20 数字复接/解复接模块

数字复接/解复接由复接和解复接两个独立的模块构成。通信原理综合实验系统实现在信道传输上采用了类似 TDM 的传输方式：定长组帧、帧定位码与信息格式。一帧共有 4 个时间间隔，按 8 个 bit 一组分成了一个一个的固定时隙，帧结构组成如图 A.40 所示。各时隙从 0 到 3 顺序编号，分别记为 TS0、TS1、TS2 和 TS3。ST0 时隙为帧定位码，帧定位码选用 7 位 Barker 码（1110010），使接收端具有良好的相位分辨能力。ST1 时隙为话音业务 PCM 编码信号，ST2 时隙为特殊码序列，ST3 时隙为开关信号。ST0～ST3 复合成一个 256Kbps 数据流在同一信道上传输。

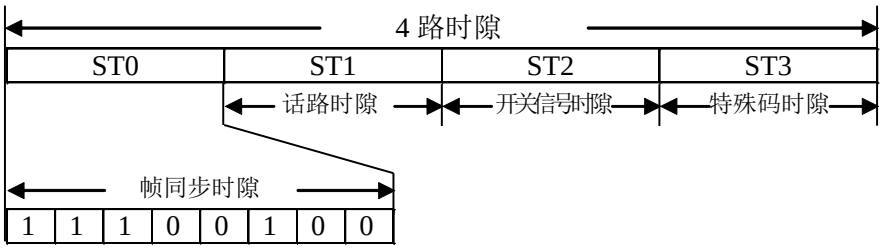



图 A.40 帧结构组成图

复接/解复接原理组成框图见图 A.41 所示。

帧传输复接模块主要由 Barker 码产生、同步调整、复接、系统定时单元所组成；帧传输解复接模块（亦称分接器）是由同步、定时、分接和恢复单元组成，其各电路完成的功能和和作用参见原理教材。

复接/解复接模块电原理图见图 A.42 所示。复接模块主要由一片现场可编程门阵列（EMP7064）UB01（EMP7064）芯片、跳线开关 SWB01 和工作方式选择开关组成。其电路工作原理如下所述：

1、话音编码数据：输入的话音编码信号来自 ADPCM2 模块，编码方式取决于菜单设置；

2、开关信号：开关信号码字为 8bit，学生可以直接通过跳线开关设置来改变码型。

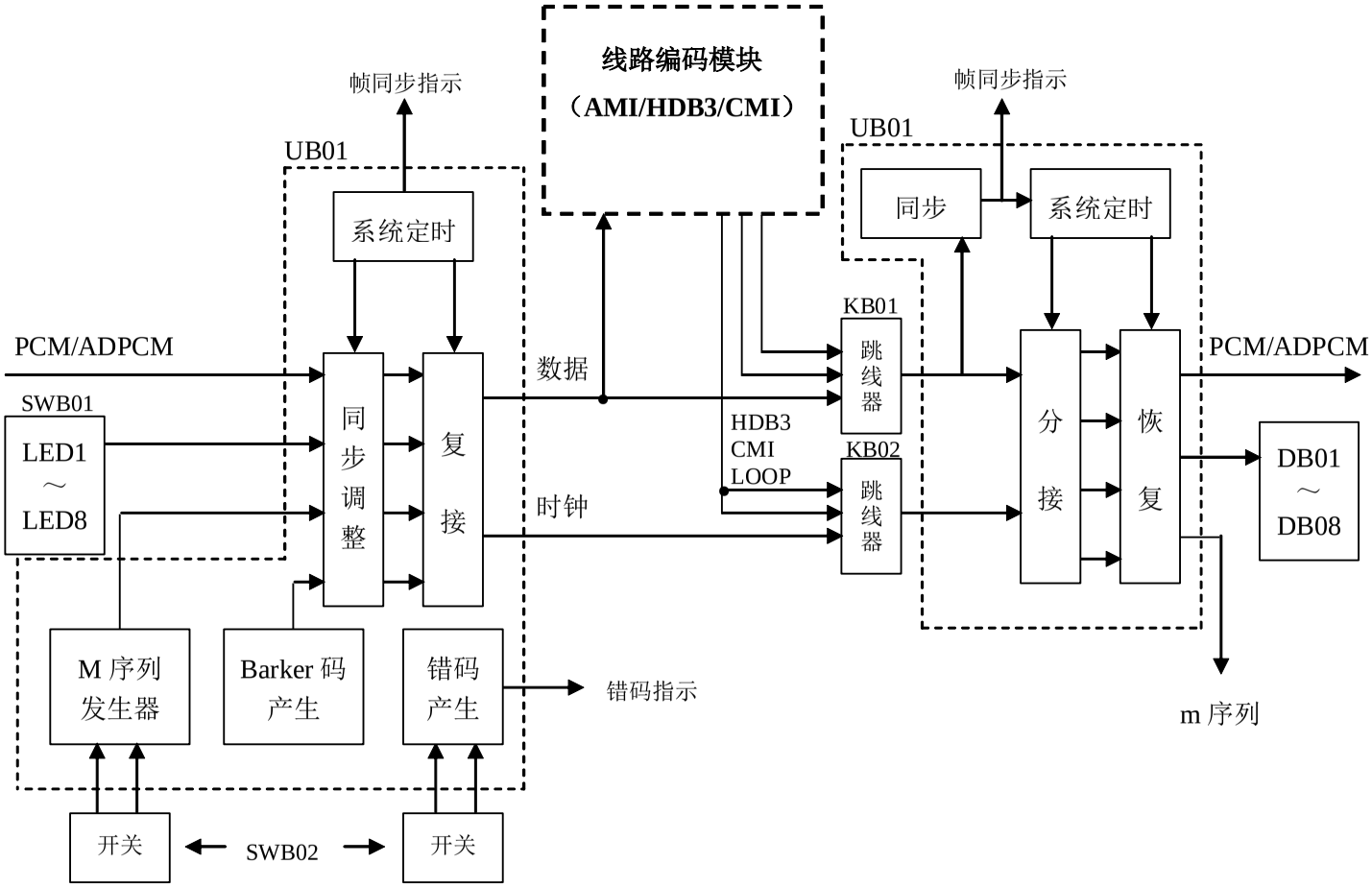



图 A.41 复接/解复接模块原理框图

在解复接模块正常工作并同步时，该开关码字信号从解复接模块的发光二极管 DB01～DB08 一一对应直观的显示出来。

3、m 序列由 UB01 内部产生：M 序列的码型共有 4 种，由跳线开关 SWB02（M_SEL0、M_SEL1）决定。从 TPB01 测试点可以监测发端 m 序列信号，具体设置见下表：

| 选 项 | SW02 设置状态 | | | |
|---|---|---|---|---|
| M_SEL0 | □ □ | □━□ | □ □ | □━□ |
| M_SEL1 | □ □ | □ □ | □━□ | □━□ |
| m 序列 | 全 0 码 | 全 1 码 | m1 | m2 |

4、Barker 码：码型 1110010，不足部分补零。该帧定位码由 UB01 内部产生。

5、系统定时、同步调整及复接：复接器定时用于提供统一的基准时间信号；调整单元的作用是把各输入支路数字信号进行必要的频率或相位调整，形成与内部定时信号完全同步的数字信号，然后由复接单元完成时间复用形成合路数字信号流。该部分电路功能由 UB01 完成。复接后的信号可以在解复接模块 TPB03（左上角）观测到；TPB07 是发端帧同步指示信号，用于观测复接信号做示波器同步用。

6、错码产生器：错码产生器用于学生了解帧传输复接/解复接器在有误码的环境下接收端帧同步过程和抗误码性能，错码产生及错码插入由 UB01 实现。通过跳线开关 SWB02（E_SEL0，E_SEL1）可以选择 4 种信道误码率，错码指示可以用示波器在 TPB02 监测点观测。具体设置见下表：

| 选 项 | SW02 设置状态 | | | |
|---|---|---|---|---|
| E_SEL0 | □ □ | □━□ | □ □ | □━□ |
| E_SEL1 | □ □ | □ □ | □━□ | □━□ |
| Pe | 0 | $4\times10^{-3}$ | $1.6\times10^{-2}$ | $1\times10^{-1}$ |

解复接模块主要由一片现场可编程门阵列（EMP7064）UB02（EMP7128）芯片、发光二极管 DB01～DB08 组成。其电路工作原理如下所述：

1、同步、接收系统定时、分接、恢复电路：分接器的定时来自同步单元恢复的接收时钟。同步采用逐码移位同步搜索法，调整收端本地帧定位码的相位，使之与收到的总码流中的帧定位码对准。在同步单元的控制下，使分接器的基准时间与复接器的基准时间信号保持正确的相位关系（同步）；同步后通过分接单元将收端各分路定时脉冲就对接收到的码流进行正确的分路，把合路的数字信号实施分离形成同步的支路数字信号，然后再经过恢复单元恢复出原来的支路数字信号，该部分电路功能由 UB02 完成。

2、解复接话音编码数据：送到 ADPCM1 模块进行解码。

3、解复接开关信号：直接送到发光二极管 DB01～DB08 显示出来。

4、解复接 m 序列：送到 TPB05 监测点，可用示波器观测。

5、帧同步指示：解复接的帧同步电路同步在复接信号帧同步码上，接收帧同步指示信号送到 TPB06 监测点。正常时，用示波器观测该信号与发端帧同步指示完全同步。当无复接信号或误码过大造成时，解复接帧同步电路将失步，可以观测失步的调整过程。

6、跳线开关 KB01、KB02：用于解复接模块选择不同的输入数据和时钟信号。当 KB01、KB02 设置到 HDB3 位置，表示输入解复接模信号来自 HDB3 码模块；当 KB01、KB02 设置到 CMI 位置，表示输入解复接模信号来自 CMI 码模块；当 KB01、KB02 设置到 LOOP 位置，表示输入解复接模信号直接来自复接模块码模块；

在测试功能模块中，测试点的安排如下：

1、 TPB01：发送 m 序列输出（复接模块）

2、 TPB02：插入错码指示（复接模块）

3、 TPB03：输入复接信号（解复接模块）

4、 TPB04：输入时钟（解复接模块）

5、 TPB05：接收 m 序列输出（解复接模块）

6、 TPB06：收端帧同步指示（解复接模块）

7、 TPB07：发端帧同步指示（复接模块）

图 A.42　复接/解复接模块电原理图

## A.21 HDB3 码型变换模块

HDB3 码是 CCITT 推荐使用的码之一。HDB3 码的特点是明显的，它除了保持 AMI 码的优点外，还增加了使连 0 串减少到至多 3 个的优点，这对于定时信号的恢复是十分有利的。

在通信原理综合试验箱中，采用了 CD22103 专用芯片（UD01）实现 AMI / HDB3 的编译码实验，在该电路模块中，没有采用复杂的线圈耦合的方法来实现 HDB3 码字的转换，而是采用运算放大器（UD02）完成对 AMI/HDB3 输出进行电平变换。变换输出为双极性码或单极性码。由于 AMI/HDB3 为归零码，含有丰富的时钟分量，因此输出数据直接送到位同步提取锁相环（PLL）提取接收时钟。AMI/HDB3 编译码系统组成框图见图 A.43。接收时钟的锁相环（PLL）提取电路见本章模拟锁相环一节。

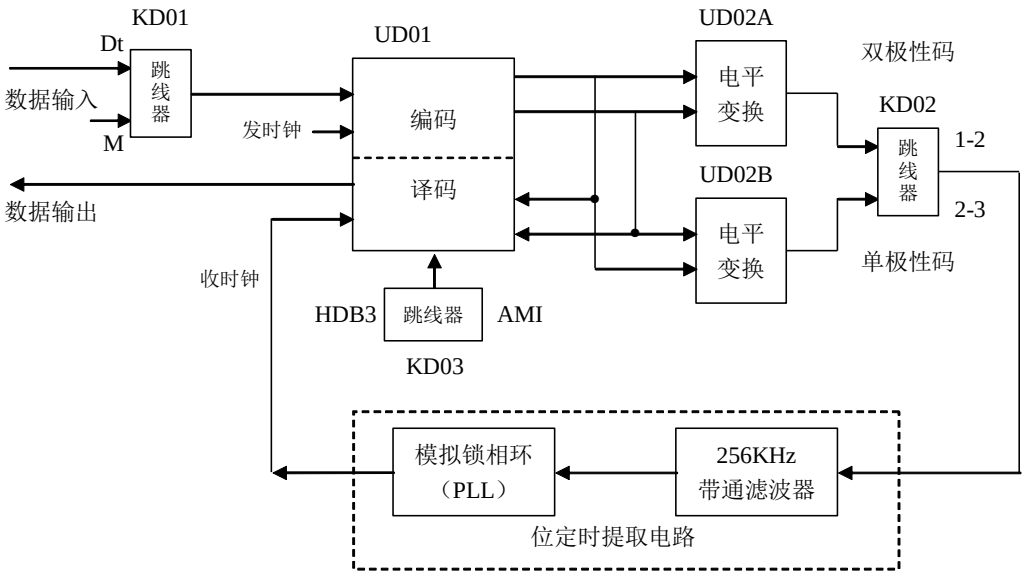



图 A.43 AMI/HDB3 编译码模块组成框图

AMI/HDB3 编译码系统组成电原理图见图 A.44。电路工作原理描述如下：

输入的码流进入 UD01 的 1 脚，在 2 脚时钟信号的推动下输入 UD01 的编码单元，HDB3 与 AMI 由跳线开关 KD03 选择。编码之后的结果在 UD01 的 14（TPD03）、15（TPD04）脚输出。输出信号在电路上直接返回到 UD01 的 11、13 脚，由 UD01 内部译码单元进行译码。通常译码之后 TPD07 与 TPD01 的波形应一致，但由于当前的输出 HDB3 码字可能与前 4 个码字有关，因而 HDB3 的编译码时延较大。运算放大器 UD02A 构成一个差分放大器，用来将线路输出的 HDB3 码变换为双极性码输出（TPD05）。运算放大器 UD02B 构成一个相加器，用来将线路输出的 HDB3 码变换为单极性码输出（TPD08）。

跳线开关 KD01 用于输入编码信号选择：当 KD01 设置在 Dt 位置时（左端），输入编码信号来自复接模块的 TDM 帧信号；当 KD01 设置在 M 位置时（右端），输入编码信号来自本地的 m 序列，用于编码信号观测。本地的 m 序列格式受 CMI 编码模块跳线开关 KX02 控制：KX02 设置在 1_2 位置（左端），为 15 位周期 m 序列（111100010011010）；KX02 设置

在 2_3 位置（右端），为 7 位周期 m 序列（1110010）。

跳线开关 KD02 用于选择将双极性码或单极性码送到位同步提取锁相环提取收时钟：当 KD02 设置在 1_2 位置（左端），输出为双极性码；当 KD02 设置 2_3 位置（右端），输出为单极性码。

跳线开关 KD03 用于 AMI 或 HDB3 方式选择：当 KD03 设置在 HDB3 状态时（左端），UD01 完成 HDB3 编译码系统；当 KD03 设置在 AMI 状态时（右端），UD01 完成 AMI 编译码系统。

该模块内各测试点的安排如下：

9、 TPD01：编码输入数据（256Kbps）

10、 TPD02：256KHz 编码输入时钟（256KHz）

11、 TPD03：HDB3 输出+

12、 TPD04：HDB3 输出–

13、 TPD05：HDB3 输出（双极性码）

14、 TPD06：译码输入时钟（256KHz）

15、 TPD07：译码输出数据（256Kbps）

16、 TPD08： HDB3 输出（单极性码）

图 A.44　AMI/HDB3编译码系统组成电原理图

## A.22 CMI 码型变换模块

根据 CCITT 建议，在程控数字交换机中 CMI 码一般作为 PCM 四次群数字中继接口的码型。

在 CMI 码模块中，完成 CMI 的编码与解码功能。

CMI 编码规则见表 A.2 所示：

表 A.2 CMI 的编码规则

| 输入码字 | 编码结果 |
|---|---|
| 0 | 01 |
| 1 | 00/11 交替表示 |

因而在 CMI 编码中，输入码字 0 直接输出 01 码型，较为简单。对于输入为 1 的码字，其输出 CMI 码字存在两种结果，因而对输入 1 的状态必须记忆。同时，编码后的速率增加一倍，因而整形输出必须有 2 倍的输入码流时钟。在这里 CMI 码的第一位称之为 CMI 码的高位，第二位称之为 CMI 码的低位。

在 CMI 解码端，存在两种状态，因而需进行同步。同步过程的设计可根据码字的状态进行：因为在输入码字中不存在 10 码型，如果出现 10 码，则必须调整同步状态。在该功能模块中，可以看 CMI 在译码过程中的同步要求。CMI 码具有如下特点：

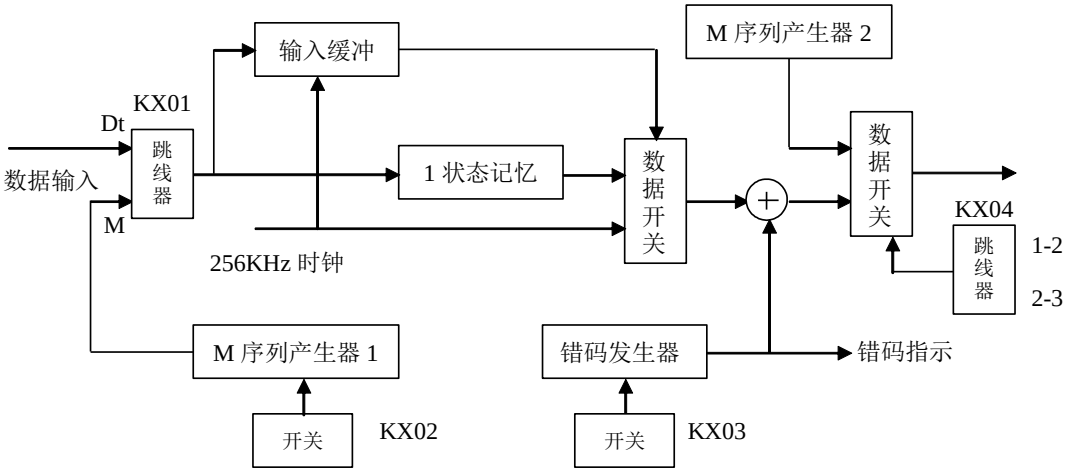



图 A.45 CMI 译码模块组成框图

1、不存在直流分量；

2、在 CMI 码流中，具有很强的时钟分量，有利于在接收端对时钟信号进行恢复；

3、具有检错能力，这是因为 1 码用 00 或 11 表示，而 0 码用 01 码表示，因而在 CMI 码流中不存在 10 码，且无 00 与 11 码组连续出现，这个特点可用于检测 CMI 的部分错码。

CMI 编码模块组成框图如图 5.23.2 所示。所有电路功能单元都集成在一片现场可编程门阵列（EMP7064）UX01（EMP7064）芯片内。各部分电路功能工作原理及作用如下：

1、 CMI 编码器由 1 编码器（1 状态记忆）、0 编码器（时钟）、输出选择器组成：

(1)1 编码器：因为在 CMI 编码规则中，要求在输入码为 1 时，交替出现 00、11 码，因而在电路中必须设置一状态来确认上一次输入比特为 1 时的编码状态。这一机制是通过一个 D 触发器来实现，每次当输入码流中出现 1 码时，D 触发器进行一次状态翻转，从而完成对 1 码编码状态的记忆。同时，D 触发器的 Q 输出端也将作为输入比特为 1 时的编码输出（测试点 TPX03）。

(2)0 编码器：当输入码流为 0 时，则以其时钟信号作输出以代表 01 码。

(3)输出选择器：由输入码流缓冲器的输出 Q 用于选择是 1 编码器输出还是 0 编码器输出。

输入码经过编码之后在测试点 TPX04 上可测量出 CMI 的编码输出结果。

2、 M 序列产生器 1：M 序列产生器 1 受跳线开关 KX02 控制产生对应的特殊码序列（111100010011010 或 1110010）。当跳线开关 KX01 设置在位置时，CMI 编码器输入为 M 序列产生器 1 输出数据，此时可以用示波器观测 CMI 编码输出信号，验证 CMI 编码规则。

3、 错码发生器：为验证 CMI 编译码器系统具有检测错码能力，在 CMI 编码器每隔 105 个 bit 人为插入 1 位错码。插入错码时，将 KX03 设置在 E_EN（错码使能）位置，否则设置在 NO_N（不加错码）位置。

4、 M 序列产生器 2：为观测 CMI 译码器的失步功能，可以产生随机数据送入 CMI 译码器，使其无法同步。跳线开关 KX04 设置在 2_3 位置时，CMI 编码器将选择 M 序列产生器 2 数据输出。正常工作时，跳线开关 KX04 设置在 1_2 位置。

CMI 编码模块电原理图见图 A.46 所示，

在该模块中，测试点的安排如下：

1、TPX01：输入数据

2、TPX02：256KHz 输入时钟

3、TPX03：1 状态记忆输出

4、TPX04：256KHz 输出时钟

5、TPX05：CMI 编码输出

6、TPX06：加错输出指示

图 A.46　CMI 编码模块电原理图

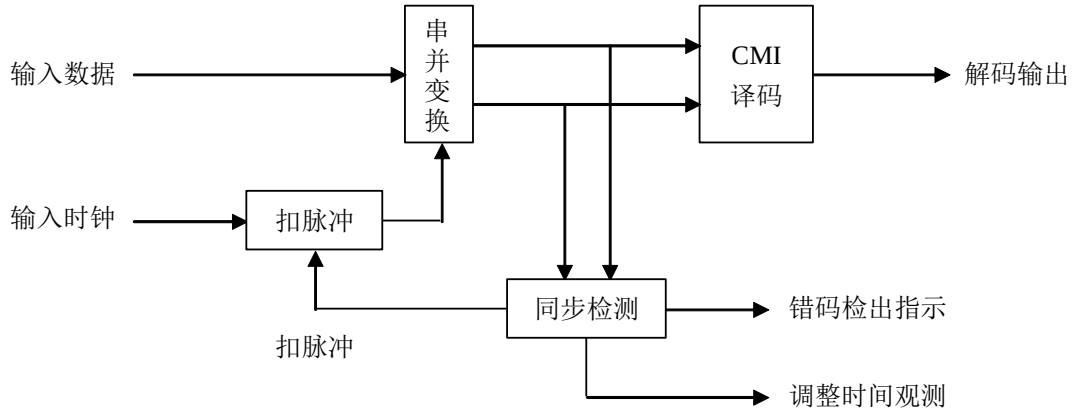



图 A.47CMI 译码模块组成框图

CMI 编码模块组成框图如图 A.47 所示。所有电路功能单元也都集成在一片现场可编程门阵列（EMP7064）UX01（EMP7064）芯片内。各部分电路功能工作原理及作用如下：

CMI 译码电路由串并变换器、译码器、同步检测器、扣脉冲电路等电路组成。

1、 串并变换器：输入的 512KBPS 的 CMI 码流首先送入一个串并变换器，在时钟的作用将 CMI 的编码码字的高位与低位码子分路输出。

2、 CMI 译码器：当 CMI 码的高位与低位通过异或门实现 CMI 码的译码。由于电路中的时延存在差异，输出端可能存在毛刺，又进行输出整形。译码之后的结果可在 TPY07 上测量出来，其与 TPX01 的波形应一致，仅存在一定的时延。

3、 同步检测器：从 CMI 编译码的原理中，CMI 码同步时不会出现 10 码字（不考虑信道传输错码）；如果 CMI 码没有同步好（即 CMI 的高位与低位出现错锁），将出现多组 10 码字，此时将不正确译码。同步检测器的原理是：当在一定时间内（1024bit），如出现多组 10 码字则认为 CMI 译码器未同步。此时同步检测电路输出一个控制信号到扣脉冲电路扣除一个时钟，调整 1bit 时延，使 CMI 译码器同步。CMI 译码器在检测到 10 码字时，将输出错码指示（TPY05）。

4、 测试点 TPY03 是调整观测时间（1024bit 的周期）。

CMI 译码模块电原理图见图 A.48 所示

图 A.48　CMI 译码模块电原理图

在该模块中，测试点的安排如下：

1、 TPY01：CMI 编码输入数据

2、 TPY02：512KHz 输入时钟

3、 TPY03：调整观测时间（1024bit 的周期）

4、 TPY04：扣脉冲

5、 TPY05：错码输出

6、 TPY06：256KHz 时钟输出

7、 TP807：CMI 译码数据输出

## A.23 信道同步接口模块

一个数据通信设备在与外部进行信息交换时，一般是通过数据接口进行。在数据接口中主要是传输两类信息：（ 1 ）数据；（ 2 ）时钟。有时也只有数据信息而没有时钟信息，这时时钟信息将由接收端从接收数据流中提取出来。数据接口的设计变化很大，取决于应用场合。复杂的接口可包括物理层、链路层等，简单的只包括物理层：即物理结构与信号方式的定义（信号的传输方式）。在信号传输方式方面，目前可选的种类很多：TTL、RS232、RS422、V35、ECL 等。信号传输方式的选择与信号速率、传输距离、抗干扰性能等有关。对于低速、近距离信号的传输可采用 TTL 方式，对于一般较高速率、距离较近时可选用 RS232 方式。随着距离的增加、信号速率的提高可采用 RS422、V35 等信号方式，对于很高的信号速率一般采用 ECL 信号接口方式。

信道接口模块主要完成与外部用户终端模块的接口（通信原理综合实验系统与外部设备进行数据交换）。

信道同步接口模块的框图如图 1.24.1 所示。在通信原理综合实验系统内部所有信号均以 TTL 电平表示，而在接口上，信号为 RS422 电气方式（平衡方式）。对这两种信号之间的转换由专门的接口芯片完成。

TTL → RS422 由 SN75172 完成，

RS422 → TTL 由 SN75173 完成。

信道同步接口模块的电原理图见图 A.49。

在该模块上测试点的安排如下：

1、 TPH01：发送时钟

2、 TPH02：接收时钟

3、 TPH03：接收数据

4、 TPH04：RS422 译码输出

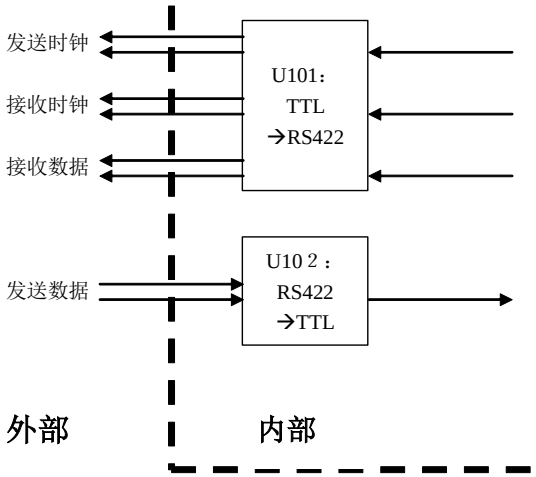



图 A.49　信道同步接口模块框图

图 A.50 信道同步接口模块的电原理图

## A.24 数据终端模块

一个数据通信设备在与外部进行信息交换时，一般是通过数据接口进行。在数据接口中主要是传输两类信息：（1）数据；（2）时钟。有时也只有数据信息而没有时钟信息，这时时钟信息将由接收端从接收数据流中提取出来。数据接口的设计变化很大，取决于应用场合。复杂的接口可包括物理层、链路层等，简单的只包括物理层：即物理结构与信号方式的定义（信号的传输方式）。在信号传输方式方面，目前可选的种类很多：TTL、RS232、RS422、V35、ECL 等。信号传输方式的选择与信号速率、传输距离、抗干扰性能等有关。对于低速、近距离信号的传输可采用 TTL 方式，对于一般较高速率、距离较近时可选用 RS232 方式。随着距离的增加、信号速率的提高可采用 RS422、V35 等信号方式，对于很高的信号速率一般采用 ECL 信号接口方式。

数据终端模块主要通过 RS232 接口模块与异步数据终端接口相连（如计算机），实现数据终端数据在信道系统上的传输。

数据接口模块在系统中的连接关系见图 A.51 所示。

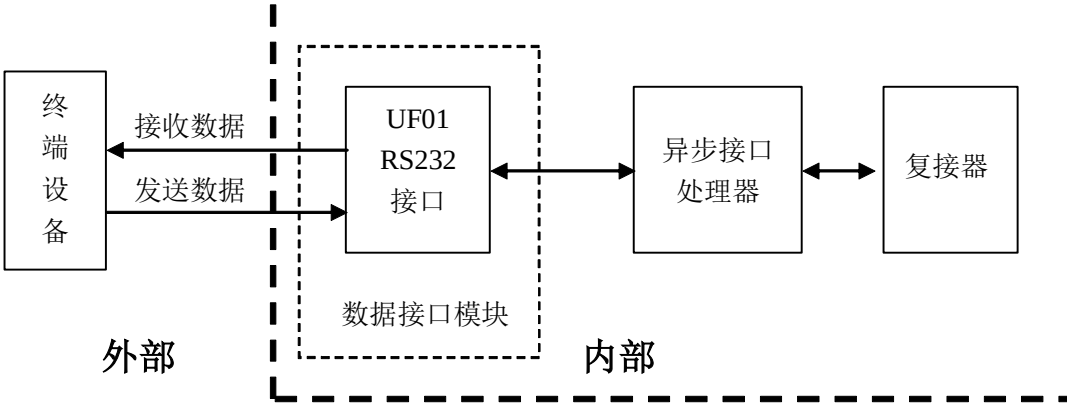



图 A.51　数据终端接口与系统连接示意图

数据终端接口模块电原理图见图 A.52 和图 A.53 所示。

在通信原理综合实验系统内部所有信号均以 TTL 电平表示，而在异步接口上，信号为 RS232 电气方式（不平衡方式）。对这两种信号 TTL 与 RS232 之间的转换由专门的接口芯片 MAX232 完成。

在该模块中，各测试点定义如下：

1、 TPF01：发送数据（RS232，方向：终端设备→接口模块）

2、 TPF02：发送数据（TTL，方向：终端设备→接口模块）

3、 TPF03：接收数据（TTL，方向：终端设备←接口模块）

4、 TPF04：接收数据（RS232，方向：终端设备←接口模块）

注：目前异步数据终端接口模块功能未开放，待今后升级后提供用户使用。

图 A.52　数据终端接口 A 模块电原理图

图 A.53　数据终端接口 B 模块电原理图